

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

014219875 **Image available**

WPI Acc No: 2002-040573/200205

Related WPI Acc No: 2001-662134

XRPX Acc No: N02-030055

Driving of active matrix electronic device e.g. mobile telephone, video camera, involves setting length of sustain period in each sub-frame periods to specified value

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); KIMURA H (KIMU-I)

Inventor: KIMURA H

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010022565	A1	20010920	US 2001797994	A	20010305	200205 B
JP 2001324958	A	20011122	JP 200163419	A	20010307	200210

Priority Applications (No Type Date): JP 200067793 A 20000310

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

US 20010022565	A1		64	G09G-003/32	
----------------	----	--	----	-------------	--

JP 2001324958	A		40	G09G-003/30	
---------------	---	--	----	-------------	--

Abstract (Basic): US 20010022565 A1

NOVELTY - A frame period of a gate signal line is divided into n' sub-frame periods, each having corresponding address periods and sustain periods. The length of the sustain period is controlled and set to specified value in powers of two. Each sub-frame periods has period equivalent to the overlapping of address period with sustain period.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for electronic device.

USE - For driving active matrix electronic device (claimed) using organic light emitting diode (OLED) element such as

alternatively such as liquid crystal display (LCD) player, car navigation

system, portable type or domestic sound producing device such as car radio system and audio compo system, notebook personal computer, game equipment, portable information terminal such as mobile computer, mobile telephone, mobile game equipment and electronic book.

ADVANTAGE - Increases duty ratio by arbitrarily setting sustain periods and hence the various problems due to small duty ratio are avoided and the image quality is improved. Avoids suppression of sustain periods and hence reduces the operating frequency of driver circuit and power consumption.

DESCRIPTION OF DRAWING(S) - The figure shows the timing chart of simultaneous selection of gate signal lines.

pp: 64 DwgNo 1A/37

Title Terms: DRIVE: ACTIVE: MATRIX: ELECTRONIC: DEVICE: MOBILE: TELEPHONE:
VIDEO: CAMERA: SET: LENGTH: SUSTAINED: PERIOD: SUB: FRAME: PERIOD:
SPECIFIED: VALUE

Derwent Class: P85; T04; W01; W04

International Patent Class (Main): G09G-003/30; G09G-003/32

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

07097302 **Image available**

ELECTRONIC DEVICE AND DRIVING METHOD THEREFOR

PUB. NO.: 2001-324958 [JP 2001324958 A]

PUBLISHED: November 22, 2001 (20011122)

INVENTOR(s): KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-063419 [JP 20011063419]

FILED: March 07, 2001 (20010307)

PRIORITY: 2000-067793 [JP 200067793], JP (Japan), March 10, 2000
(20000310)

INTL CLASS: G09G-003/30; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To improve the problems starting with a lack of brightness caused by a decrease in a duty ratio (the ratio of the emitting period to the non-emitting period) by using a new driving method and circuit in an electronic device.

SOLUTION: This method and circuit are characterized in that signals are written in pixels of plural different stages within a period for selecting one gate signal line. In such a manner, in the pixels in a certain stage, a high duty ratio is realized by setting an arbitrary sustain (lighting) period by securing a write time to the pixels and then setting arbitrarily to some extent a time from an input to the next input of a signal.

COPYRIGHT: (C)2001. JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-324958

(P2001-324958A)

(43) 公開日 平成13年11月22日(2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
3/20	6 4 1	3/20	6 4 1 E
	6 4 2		6 4 2 D
	6 8 0		6 8 0 V
			6 8 0 A
審査請求 未請求 請求項の数11 O L (全 40 頁) 最終頁に続く			

(21) 出願番号 特願2001-63419(P2001-63419)
 (22) 出願日 平成13年3月7日(2001. 3. 7)
 (31) 優先権主張番号 特願2000-67793(P2000-67793)
 (32) 優先日 平成12年3月10日(2000. 3. 10)
 (33) 優先権主張国 日本(J P)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内
 Fターム(参考) 5C080 AA06 BB05 DD03 EE29 JJ02
 JJ03 JJ04 JJ05 JJ06

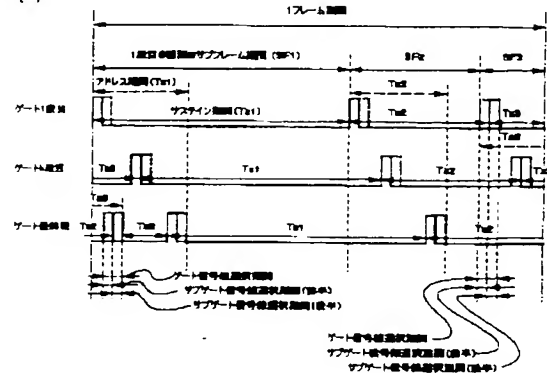
(54) 【発明の名称】 電子装置およびその駆動方法

(57) 【要約】

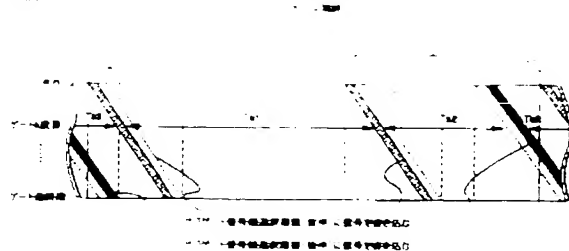
【課題】 電子装置において、新規の駆動方法および回路を用いることにより、デューティー比（発光期間と非発光期間との比）の低下に起因した、輝度不足を始めとした問題点を改善することを目的とする。

【解決手段】 1 ゲート信号線選択期間内に、異なる複数段の画素に信号を書き込む点に特徴がある。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上である程度任意に設定することにより、サステイン（点灯）期間を任意に設定し、高デューティー比を実現する。

(A)



(B)



【請求項6】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

[illegible]

0として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

1フレーム期間においては、最大でm・n回の垂直走査が行われることを特徴とする電子装置。

【請求項7】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、サステイン（点灯）期間 T_{s1} 、 T_{s2} 、 \dots 、 T_{sn} とを有し、

前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異なるゲート信号線の選択が行われることを特徴とする電子装置。

【請求項8】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、サステイン（点灯）期間 T_{s1} 、 T_{s2} 、 \dots 、 T_{sn} とを有し、

前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異なるゲート信号線の選択が行われることを特徴とする電子装置。

なるゲート信号線の選択が行われ、

異なる前記サブフレーム期間における前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複する期間と等しい長さだけリセット信号が入力され、

前記リセット信号が入力されている期間は前記自発光素子が非点灯状態となることを特徴とする電子装置。

【請求項9】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がa行b列のマトリクス状に配置された画素部とを有し、

前記ソース信号線駆動回路は、少なくとも1個の第1のシフトレジスタ回路と、デジタル映像信号を記憶する第1の記憶回路と、前記第1の記憶回路の出力信号を記憶する第2の記憶回路とを有するソースドライバ回路を複数用いてなり、

前記ゲート信号線駆動回路は、少なくとも1個の第2のシフトレジスタ回路と、少なくとも1個のバッファ回路とを有するゲートドライバ回路を複数用いてなり、

1フレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、

前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、

前記サブゲート信号線選択期間においては最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異なるゲート信号線の選択が行われる電子装置において、

1本のソース信号線は第1のスイッチ回路を介して最大m個の前記ソースドライバ回路と電気的に接続され、

1本の前記ゲート信号線は第2のスイッチ回路を介して最大m個の前記ゲートドライバ回路と電気的に接続され、

前記ソース信号線駆動回路は最大 $b \cdot m$ 個の前記ソースドライバ回路を有し、

前記ゲート信号線駆動回路は最大 $a \cdot m$ 個の前記ゲートドライバ回路を有し、

前記第1のスイッチ回路は、1個のビットデータ書き込み期間において、電気的に接続されたm個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、

前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続されたm個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続してゲート信号線の選択が行われることを特徴とする電子装置。

【請求項10】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、サステイン（点灯）期間 T_{s1} 、 T_{s2} 、 \dots 、 T_{sn} とを有し、

前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

【0001】

【00052】

【0006】LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、TN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ディスプレイにおいて、画

【0010】アクティブ型ELEDディスプレイにおけるELED素子の動作について述べる。図32(A)に、ELED素子を流れる電流とELED素子の輝度の関係を示す。図32(A)から分かる通り、ELED素子の輝度は、ELED素子に

電圧・電流特性を求め、上、下ノード、端子電圧、電流を逐次電圧制御で調節すれば、任意の出力電圧・電流が流れるようにでき、出力電力が最大になるように制御が図れる。

変化しない。一方、EL素子に印加される電圧値が少しでも変化すると、EL素子を流れる電流量は大きく変化する。よって、EL素子に印加される電圧値を制御することにより、EL素子を流れる電流量、つまり、EL素子の輝度を制御することは困難である。そこで、EL素子においては、EL素子を流れる電流量を制御することによって輝度を制御している。

【0011】図23を参照する。図23(A)は、図21におけるEL素子の画素部において、EL駆動用TFT2102およびEL素子2103の構成部分のみを示したものであり、電流供給線2301、陰極配線2302、EL駆動用TFT2304、およびそのゲート電極2303、EL素子2305で表される。図23

(B)には、図23(A)の回路の動作点を分析するための電圧電流特性を示す。ここで、EL素子2305に印可されている電圧を V_{EL} 、電流供給線2301の電位を V_{DD} 、陰極配線2302の電位を V_{GND} ($=0$

[V])、EL駆動用TFT2304のソース・ドレイン間電圧を V_{DS} 、EL駆動用TFT2304のゲート電極2303と電流供給線2301との間の電圧、つまりEL駆動用TFT2304のゲート・ソース間電圧を V_{GS} とする。ここでは、説明を明確とするため、EL駆動用TFT2304はpチャネル型を用いているものとし、ソース端子は電圧の高い方の端子、ドレイン端子は電圧の低い方の端子とする。図23(B)から分かるように、EL駆動用TFT2304のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT2304に流れる電流値も大きくなる。

【0012】次に、EL回路の動作点について説明する。まず、図23(A)の回路において、EL駆動用TFT2304とEL素子2305とは、直列に接続されている。よって、両素子(EL駆動用TFT2304とEL素子2305)を流れる電流値は等しい。従って、図23(A)の回路の動作点は、両素子の電圧電流特性グラフの交点になる(図23(B))。図23(B)において、 V_{EL} は、 V_{GND} から、動作点での電位までの間の電圧になる。 V_{DS} は、 V_{DD} から、動作点での電位までの間の電圧になる。つまり、 V_{DD} から V_{GND} までの電圧は、 V_{EL} と V_{DS} との和に等しい。

【0013】ここで、 V_{GS} を変化させた場合について考える。EL駆動用TFT2304はpチャネル型であるので、 V_{GS} がEL駆動用TFT2304のしきい値電圧 V_{th} よりも大きくなると、導通状態となる。そして、 V_{GS}

まず、 $|V_{GS}|$ が大きくなった場合の、EL駆動用TFT2304の動作領域について述べる。一般に、トランジスタの動作は、大きく2つの領域に分けることが出来る。一つは、ソース・ドレイン間電圧が変わっても電流値がほとんど変化しない、つまり、ゲート・ソース間電圧のみによって電流値が決まるという飽和領域 ($|V_{DS}| > |V_{GS} - V_{th}|$) である、もう一つは、ソース・ドレイン間電圧とゲート・ソース間電圧とにより電流値が決まるという線形領域 ($|V_{DS}| < |V_{GS} - V_{th}|$) である。以上を踏まえた上で、EL駆動用TFT2304の動作領域について考えてみる。まず、電流値が低い場合、つまり $|V_{GS}|$ が小さい場合、図23(B)に示すように、EL駆動用TFT2304は飽和領域で動作している。それから、 $|V_{GS}|$ を大きくしていくと、電流値も大きくなっていく。同時に、 V_{EL} も徐々に大きくなっていく。従って、この時、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。しかしながら、この場合、EL駆動用TFT2304は飽和領域で動作しているため、 V_{DS} が変化しても、電流値はほとんど変化しない。つまり、EL駆動用TFT2304が飽和領域で動作している場合、EL素子2305を流れる電流量は、 $|V_{GS}|$ だけで決まる。

【0015】さらに $|V_{GS}|$ を大きくしていくと、EL駆動用TFT2304は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 V_{GS} を大きくしていても、電流値は増加しにくくなっていく。そして仮に、 $|V_{GS}| = \infty$ になった時を考えてみると、電流値 $=I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 V_{EL} や $(V_{DD} - V_{GND})$ の時(ここでは、 $V_{GND} = 0$ [V]であるから、 $V_{EL} = V_{DD}$)に、EL素子2305を流れる電流値である。

【0016】以上の動作分析をまとめると、 $|V_{GS}|$ を変化させた場合の、EL素子を流れる電流値のグラフを図24に示す。 $|V_{GS}|$ を大きくしていくと、EL駆動用TFTのしきい値電圧 V_{th} よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。この時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、電流値が大きくなり、遂には、電流値が飽和していき、その時の I_{MAX} を輝度飽和電流として定義する。

図24は、 $|V_{GS}|$ と電流値との関係を示すグラフである。このグラフから、 $|V_{GS}|$ が点灯開始電圧よりも大きくなると、電流値が急激に増加し、 I_{MAX} に近づくことが分かる。また、 $|V_{GS}|$ が点灯開始電圧よりも小さい場合は、電流値は0となる。

図25は、 $|V_{GS}|$ と電流値との関係を示すグラフである。このグラフから、 $|V_{GS}|$ が点灯開始電圧よりも大きくなると、電流値が急激に増加し、 I_{MAX} に近づくことが分かる。また、 $|V_{GS}|$ が点灯開始電圧よりも小さい場合は、電流値は0となる。

を制御する事が出来る。

【0017】次に、アクティブ型EL回路の動作について説明する。再び図21を参照する。

【0018】まず、ゲート信号線2105が選択されると、スイッチング用TFT2101のゲートが開き、スイッチング用TFT2101が導通状態になる。すると、ソース信号線2106の信号（電圧）が保持容量2104に蓄積される。保持容量2104の電圧は、EL駆動用TFT2102のゲート・ソース間電圧 V_{GS} となるため、保持容量2104の電圧に応じた電流がEL駆動用TFT2102とEL素子2103に流れる。その結果、EL素子2103が点灯する。図23から図24までの説明で述べたように、EL素子2103の輝度、つまりEL素子2103を流れる電流量は、 V_{GS} によって制御出来る。 V_{GS} は、保持容量2104において保持されている電圧であり、それはソース信号線2106の信号（電圧）である。つまり、ソース信号線2106の信号（電圧）を制御することによって、EL素子2103の輝度を制御する。最後に、ゲート信号線2105を非選択にして、スイッチング用TFT2101のゲートを閉じ、スイッチング用TFT2101を非導通状態にする。その時、保持容量2104に蓄積された電荷は保持される。よって、 V_{GS} は、そのまま保持され、 V_{GS} に応じた電流がEL駆動用TFT2102とEL素子2103に流れ続ける。

【0019】以上の内容に関しては、SID99 Digest : P372 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"、ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"、Euro Display99 Late News : P27 : "3.3 Green EL with Low Temperature Poly-Si TFT"などに報告されている。

【0020】

【本発明以前の技術】次に、EL素子の階調表示の方法について述べる。図21から分かるように、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以上で輝度飽和電圧以下の場合、 $|V_{GS}|$ の値を変化させることにより、EL素子の明るさ、即ち、階調をアナログ的に制御することができる。よって、この方式をアナログ階調方式と呼ぶことにする。

【0021】アナログ階調方式は、EL駆動用TFTの

素子の電流のグラフを示す。例えば、EL駆動用TFTのしきい値電圧が大きくなると、EL駆動用TFTのゲートに実質的に印加される電圧 $(|V_{GS}| - |V_{th}|)$ が小さくなるため、点灯開始電圧が大きくなってしまふ。また、EL駆動用TFTの移動度が小さくなると、EL駆動用TFTのソース・ドレイン間を流れる電流が小さくなるため、グラフの傾きが小さくなってしまふ。

【0022】そこで、EL駆動用TFTの特性ばらつきの影響を小さくするために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態（ほとんど電流が流れない）と、輝度飽和電圧よりも大きい状態（電流値はほぼ I_{MAX} ）、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFTの電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFTのばらつきの影響を非常に小さく出来る。以上のように、ON状態（最大電流が流れているため明るい）とOFF状態（電流が流れないため暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0023】しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0024】そのうちの一つは、面積階調方式とデジタル階調方式を組み合わせた方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来なため、解像度を高くすることや、階調数を多くすることが難しい点がある。面積階調方式については、Euro Display 99 Late News : P71 : "TFT-LED with Image Enhancement by Area Ratio Gray Scale"、IEDM 99 : P167 : "Technology for Active Matrix Light Emitting Polymer Displays"、などに報告がされている。

【0025】もう一つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせた方式がある。時間階調方式とは、点灯している時間を制御して、階調を出す方式である。時間階調方式については、Euro Display 99 Late News : P71 : "TFT-LED with Image Enhancement by Area Ratio Gray Scale"、IEDM 99 : P167 : "Technology for Active Matrix Light Emitting Polymer Displays"、などに報告がされている。

【0026】図25は、アナログ階調方式とデジタル階調方式を組み合わせた方式を示す。この方式は、図21から分かるように、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以上で輝度飽和電圧以下の場合、 $|V_{GS}|$ の値を変化させることにより、EL素子の明るさ、即ち、階調をアナログ的に制御することができる。よって、この方式をアナログ階調方式と呼ぶことにする。

【0027】図26は、デジタル階調方式と面積階調方式を組み合わせた方式を示す。この方式は、図21から分かるように、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態（ほとんど電流が流れない）と、輝度飽和電圧よりも大きい状態（電流値はほぼ I_{MAX} ）、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFTの電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFTのばらつきの影響を非常に小さく出来る。以上のように、ON状態（最大電流が流れているため明るい）とOFF状態（電流が流れないため暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0027】デジタル階調方式と時間階調方式を組み合わせる方式として、特願平11-176521に出願されている方式について述べる。ここでは、例として、3ビット階調表現のため、1フレーム期間を3つのサブフレーム期間に分割した場合について述べる。

【0028】図26を参照する。図26に示すように、1フレーム期間を3つのサブフレーム期間(SF)に分割する。ここで、1つ目のサブフレーム期間をSF₁と呼ぶことにする。2つ目以降のサブフレーム期間についても同様にSF₂、SF₃と呼ぶことにする。1つのサブフレーム期間は、さらにアドレス(書き込み)期間(T_a)とサステイン(点灯)期間(T_s)に分けられる。SF₁でのサステイン(点灯)期間をT_{s1}と呼ぶことにする。SF₂、SF₃の場合においても同様に、T_{s2}、T_{s3}と呼ぶことにする。

【0029】アドレス(書き込み)期間(T_a)に行う動作について説明する。図21および図26を参照する。最初に、電流供給線2107と陰極配線2108の間の電位差を0[V]にしておく。詳しくは、陰極配線2108の電位を上げて、電流供給線2107と同電位にしておく。陰極配線2108は、全画素で接続されているため、この動作は、全画素にわたって同時に行われることになる。この動作の目的は、各画素の保持容量2104の電圧値に関わらず、EL素子2103に電流が流れないようにすることである。その後、ソース信号線2106を通じて、信号(電圧)を各画素の保持容量2104に蓄積していく。もし、画素を表示状態にしたい場合は、EL駆動用TFT2101のゲート・ソース間電圧の絶対値|V_{GS}|が輝度飽和電圧よりも十分高い電圧になるようにする。画素を表示させたくない場合は、EL駆動用TFT2101の|V_{GS}|が点灯開始電圧よりも十分低い電圧になるようにする。そして、全画素にわたって、信号(電圧)を保持容量2104に蓄積していく。以上でアドレス(書き込み)期間(T_a)の動作が終了する。

【0030】次に、サステイン(点灯)期間(T_{s1})に移る。アドレス(書き込み)期間(T_a)においては、電流供給線2107と陰極配線2108の間の電位差は0[V]の状態にあった。そこで、サステイン(点灯)期間(T_{s1})では、全画素にわたって同時に、電流供給線2107と陰極配線2108の間に、電圧を加える。その結果、|V_{GS}|が輝度飽和電圧よりも十分高くなる。このとき、EL素子2103に電流が流れる。この電流は、保持容量2104に蓄積され、画素の電位を上げて、画素を点灯状態にする。この動作は、全画素にわたって同時に行われる。この動作は、サステイン(点灯)期間(T_{s1})の動作である。この動作は、サステイン(点灯)期間(T_{s1})の動作である。この動作は、サステイン(点灯)期間(T_{s1})の動作である。

る。当然、全画素にわたって同時に行っておく。すると、各画素の保持容量2104の電圧値、つまり、V_{GS}に関わらず、EL素子2103に電流が流れなくなり、EL素子2103は暗くなる。

【0031】以上が1サブフレーム期間(SF₁)での動作である。SF₂、SF₃においても、同様の動作を行う。ただし、サステイン(点灯)期間の長さは、サブフレーム期間によって異なる。長さの比率としては、T_{s1}:T_{s2}:T_{s3}=2²:2¹:2⁰となっている。つまり、2のべき乗になるようにして、サステイン(点灯)期間を変えていくようになっている。このように、2のべき乗でサステイン(点灯)期間の長さを変えるのは、デジタル操作に適合しやすくするためである。

【0032】アドレス(書き込み)期間が終了するまでの間は、EL駆動用TFT2101のゲートに所定の電圧が印加され、EL駆動用TFT2101が導通状態となっても、EL素子2103は点灯せず、サステイン(点灯)期間の開始と同時にEL素子2103を点灯させるようにしている。これは、より正確にサステイン(点灯)期間の長さを制御するためである。図26に、EL素子2103の陰極配線の電位V_{GND}に関するタイミングチャートを示す。陰極配線は、全画素で繋がっているため、図26において、2601は全画素の陰極配線の電位V_{GND}を示している。アドレス(書き込み)期間(T_a)では、陰極配線の電位は、電流供給線の電位と同電位もしくはそれ以上にしておく。そして、サステイン(点灯)期間では、陰極配線の電位を下げ、EL素子に電流が流れるようにする。

【0033】階調表示の方法としては、T_{s1}からT_{s3}までのサステイン(点灯)期間において、EL素子を点灯させるかどうかについて制御することにより、輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、2³=8通りの点灯時間の長さを決定することが出来るため、8階調を表示できる。このように点灯時間の長さを利用して階調表現を行う方式を時間階調方式とよぶ。

【0034】さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていけばよい。1フレーム期間をn個のサブフレームに期間に分割した場合、サステイン(点灯)期間の長さの比率はT_{s1}:T_{s2}:...:T_{s(n-1)}:T_{sn}=2⁽ⁿ⁻¹⁾:2⁽ⁿ⁻²⁾:...:2¹:2⁰となり、2ⁿ通りの階調を表現することが可能となる。

【0035】このように、サブフレーム期間をアドレス(書き込み)期間とサステイン(点灯)期間とに分け、サステイン(点灯)期間の長さを2のべき乗の比率で変えることで、デジタル操作に適合しやすくする。

【0036】このように、サブフレーム期間をアドレス(書き込み)期間とサステイン(点灯)期間とに分け、サステイン(点灯)期間の長さを2のべき乗の比率で変えることで、デジタル操作に適合しやすくする。

ることにより、アドレス（書き込み）期間よりも短いサステイン（点灯）期間を設定することが可能となる。もし、期間を分離しなかった場合、サステイン（点灯）期間が短いと、アドレス（書き込み）期間が別のサブフレーム期間のアドレス（書き込み）期間と重なってしまう場合が生じ、正常に信号の書き込みが行われなくなる。

【0037】

【発明が解決しようとする課題】次に、主に、特願平11-176521に出願されている技術、つまり、時間階調方式とデジタル階調方式を組み合わせて多階調化を図る場合、アドレス（書き込み）期間とサステイン（点灯）期間とに分離する方式について、その問題点を述べる。

【0038】まず、アドレス（書き込み）期間（ T_a ）では、EL素子が点灯しないことが挙げられる。そのため、1フレーム期間全体における表示期間の割合（これをデューティ比という）が小さくなってしまふ。もし仮に、1フレーム期間において、サステイン（点灯）期間（ T_s ）の合計時間の占める割合が半分、つまり、デューティ比が50 [%]であれば、デューティ比が100 [%]の場合の半分の輝度しか得られない。もし、100 [%]の場合と同等の輝度を得たい場合には、サステイン（点灯）期間に光っている時の輝度、つまり、瞬間輝度を2倍にする必要がある。そのためには、EL素子に2倍の電流を流す必要がある。

【0039】第2の問題点としては、アドレス（書き込み）期間（ T_a ）中に、信号の全画素への書き込みを終了する必要があるため、高速に回路を動作させる必要があるということである。回路の動作が遅い場合は、アドレス（書き込み）期間（ T_a ）が長くなってしまふ。その結果、デューティ比が小さくなってしまふ、さまざまな問題が生ずる。また、高速に回路が動作すると、消費電力も大きくなってしまふ、問題となる。

【0040】第3の問題点としては、画素数を増やすことが難しいことである。なぜなら、画素数を増やすことでアドレス（書き込み）期間（ T_a ）が長くなってしまふ。その結果、デューティ比が小さくなってしまふためである。

【0041】第4の問題点としては、階調を増やすことが難しいことである。なぜなら、階調数を増やすためには、サブフレーム期間に分割する数を増やす必要がある。その結果、アドレス（書き込み）期間（ T_a ）の数が増えてしまふ、デューティ比が小さくなってしまふ。

を確保して良好な画質を実現することを目的としている。

【0043】

【課題を解決するための手段】本発明の駆動方法は、ゲート信号線選択期間を複数のサブ期間に分割することにより、1ゲート信号線選択期間内に、異なる複数段の画素に信号を書き込む点に特徴がある。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。すなわち、サステイン（点灯）期間を任意に設定することができるため、デューティ比を、見かけ上最大100

[%]まで大きくすることができる。よって、デューティ比が小さいために生ずる様々な問題点を回避することができる。

【0044】また、本発明の駆動方法は、アドレス（書き込み）期間中においても、EL素子を点灯させることができるという点に特徴がある。よって、アドレス（書き込み）期間が長くなった場合にもサステイン（点灯）期間を圧迫することを回避することができる。すなわち、回路動作が遅い場合にも、十分なサステイン（点灯）期間を確保することができる。結果として、駆動回路の動作周波数を低く抑えることができ、消費電力を小さくすることができる。

【0045】以下に、本発明の電子装置および電子装置の駆動方法の構成について記載する。

【0046】請求項1に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1}, T_{s2}, \dots, T_{sn} = 2(n-1), 2(n-2), \dots, 2 \cdot 0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、 n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有している。

【0047】請求項2に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1}, T_{s2}, \dots, T_{sn} = 2(n-1), 2(n-2), \dots, 2 \cdot 0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、 n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有している。

【発明の効果】本発明は、従来の技術に比べて、以下のような効果を奏する。すなわち、本発明は前述のような問題点を鑑みてなされたものであり、新規の駆動方法を用いることにより、デューティ比の向上を実現し、また、回路動作の遅延を抑制し、消費電力を低減することができる。

【発明の効果】本発明は、従来の技術に比べて、以下のような効果を奏する。すなわち、本発明は前述のような問題点を鑑みてなされたものであり、新規の駆動方法を用いることにより、デューティ比の向上を実現し、また、回路動作の遅延を抑制し、消費電力を低減することができる。

間内の複数のゲート信号線選択期間が1個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されるようにしても良い。

【0048】請求項3に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 $S F_1, S F_2, \dots, S F_n$ を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T a_1, T a_2, \dots, T a_n$ と、サステイン（点灯）期間 $T s_1, T s_2, \dots, T s_n$ とを有し、前記サステイン（点灯）期間の長さを、 $T s_1 : T s_2 : \dots : T s_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブゲート信号線選択期間内では同一の前記ゲート信号線の書き込み期間が重複せず、かつ同一の前記サブゲート信号線選択期間内では異なる前記ゲート信号線の書き込み期間が重複しないようにしても良い。

【0049】請求項4に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間はn個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、n個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発発光素子の点灯時間の長さをも制御してnビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内に複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くてもm本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）

サブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ とし、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、 n 個の前記サブフレーム期間のうち少なくとも 1 個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有することを特徴としている。

【0051】請求項6に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子からマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス書き込み期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間が m 個の前記サブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されることを特徴としている。

【0005】請求項7に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、 n 個のフレーム期間を有し、 n 個のフレーム期間 T_{F1} 、 T_{F2} 、 \dots 、 T_{Fn} を有し、 n 個の前記サブフレーム期間がそれぞれ T_{S1} 、 T_{S2} 、 \dots 、 T_{Sn} （書き込み）期間 T_{W1} 、 T_{W2} 、 \dots 、 T_{Wn} と、リフレッシュ（消去）期間 T_{R1} 、 T_{R2} 、 \dots 、 T_{Rn} を有し、前記サブライン（点灯）期間の長さを、 $T_{S1} : T_{S2} : \dots : T_{Sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御してピクセルの階調制御を行う電子装置において、前記サブフレーム期間が n 個あり、 n 個のサブフレーム期間が、 $T_{S1} : T_{S2} : \dots : T_{Sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ となる。

【参考文献】請看圖中記載之：全明之電子裝置，
第一信号線驅動回路、第二信号線驅動回路、複
合信號發生器及可變電阻式之控制單元等必要部分。
（註）（一）本發明係由日本特許廳所屬之審判官所核准。

五、六、七、八、九、十、十一、十二、十三、十四、十五、十六、十七、十八、十九、二十、二十一、二十二、二十三、二十四、二十五、二十六、二十七、二十八、二十九、三十、三十一、三十二、三十三、三十四、三十五、三十六、三十七、三十八、三十九、四十、四十一、四十二、四十三、四十四、四十五、四十六、四十七、四十八、四十九、五十、五十一、五十二、五十三、五十四、五十五、五十六、五十七、五十八、五十九、六十、六十一、六十二、六十三、六十四、六十五、六十六、六十七、六十八、六十九、七十、七十一、七十二、七十三、七十四、七十五、七十六、七十七、七十八、七十九、八十、八十一、八十二、八十三、八十四、八十五、八十六、八十七、八十八、八十九、九十、九十一、九十二、九十三、九十四、九十五、九十六、九十七、九十八、九十九、一百。

ト信号線の書き込み期間が重複しないことを特徴としている。

【0053】請求項8に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの暗調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本のゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複している期間だけリセット信号が入力され、前記リセット信号が入力されている間は自発光素子が非点灯状態となる期間を有することを特徴としている。

【0054】請求項9に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子が n 行 m 列のマトリクス状に配置された画素部とを有し、前記ソース信号線駆動回路は、少なくとも1個の第1のシフトレジスタ回路と、デジタル映像信号を記憶する第1の記憶回路と、該第1の記憶回路の出力信号を記憶する第2の記憶回路とを有するソースドライバ回路を複数用いてなり、前記ゲート信号線駆動回路は、少なくとも1個の第2のシフトレジスタ回路と、少なくとも1個のバッファ回路とを有するゲートドライバ回路を複数用いてなり、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、前記サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了される電子装置において、1本のソース信号線に等しい数のゲート信号線を含むゲート信号線を選択して接続された m 個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続された m 個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続して信号の書き込みを行うことを特徴としている。

【0055】【発明の実施の形態】図27は、本発明の実施の形態の一態様を示している。図27(A)は電子装置の全体図であり、ソース信号線駆動回路2751、ゲート信号線駆動回路2752、画素部2753を有している。本発明の特徴として、ゲート信号線選択期間を複数のサブ期間に分割する点があり、そのために、ゲート信号線駆動回路は、シフトレジスタ回路～バッファまでは従来のものと同様であるが、バッファの出力端子とゲート信号線との間に選択回路（SW）を有している。シフトレジスタ回路には、クロック信号、スタートパルス等が入力され（図示せず）、選択回路には、ピン11よりサブゲート期間選択パルスが入力される。また、ソース信号線駆動回路は従来のものと同様で良く、クロック信号、スタートパルス等が入力される（図示せず）。

【0056】図27(B)、(C)を用いて、選択回路の動作について説明する。図27(B)は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例であり、図27(C)は、ゲート信号線選択期間を3つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例である。いずれの回路においても、バッファ出力パルスが複数のNAND回路に入力され、ピン11（図27中、ピンは複数の場合を、11A、11Bおよび11C～11Eとして示す）から入力されるサブゲート期間選択パルスとの論理積を各NAND回路でとることによって、サブ期間の分割を行っている。図27(B)、(C)に示すタプルは、チャートに違い、NAND出力は、1行データを介してゲート信号線へ出力され、一定期間ゲート信号線を選択状態とする。ただし、図27(B)において、信号の論理によっては、他に適宜ゲータ、バッファ等を設けていても良いし、ピン11は2703、2707を持たない構成であっても良い。

【0057】このようにすることで、あるゲート信号線選択期間を基準単位として見ると、同一ゲート信号線

に接続された m 個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続された m 個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続して信号の書き込みを行うことを特徴としている。

【0058】図27(B)は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例であり、図27(C)は、ゲート信号線選択期間を3つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例である。いずれの回路においても、バッファ出力パルスが複数のNAND回路に入力され、ピン11（図27中、ピンは複数の場合を、11A、11Bおよび11C～11Eとして示す）から入力されるサブゲート期間選択パルスとの論理積を各NAND回路でとることによって、サブ期間の分割を行っている。図27(B)、(C)に示すタプルは、チャートに違い、NAND出力は、1行データを介してゲート信号線へ出力され、一定期間ゲート信号線を選択状態とする。ただし、図27(B)において、信号の論理によっては、他に適宜ゲータ、バッファ等を設けていても良いし、ピン11は2703、2707を持たない構成であっても良い。

【0059】あるゲート信号線選択期間において、 i 段目のゲート信号線と k 段目のゲート信号線が同時に選択されているとする。ただし、 i 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間前半のサブゲート信号線選択期間だけである。また、 k 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間後半のサブゲート信号線選択期間だけである。ゲート信号線選択期間の前半、つまり i 段目のゲート信号線が選択されている時に、 i 段目の画素に信号が書き込まれる。ゲート信号線選択期間の後半、つまり k 段目のゲート信号線が選択されている時に、 k 段目の画素に信号が書き込まれる。

【0060】続いて、 $i+1$ 段目と $k+1$ 段目のゲート信号線が同様に選択される。ここでも、 $i+1$ 段目のゲート信号線はゲート信号線選択期間の前半のサブゲート信号線選択期間でのみ選択され、 $k+1$ 段目のゲート信号線はゲート信号線選択期間の後半のサブゲート信号線選択期間でのみ選択される。 $i+1$ 段目のゲート信号線が選択されている時に、 $i+1$ 段目の画素に信号が書き込まれる。 $k+1$ 段目のゲート信号線が選択されている時に、 $k+1$ 段目の画素に信号が書き込まれる。同様に、 $i+2$ 段目、 $k+2$ 段目のゲート信号線が選択され、各々のタイミングで画素に書き込みが行われる。ここで、 i 段目から $i+n$ (n は整数) 段目を選択してきているゲート信号線選択パルスと第1のゲート信号線選択パルス、 k 段目から $k+n$ (n は整数) 段目を選択してきているゲート信号線選択パルスと第2のゲート信号線選択パルスと表記する。

【0061】あるところまで走査が進行すると、第1のゲート信号線選択パルスは、やがて k 段目のゲート信号線に到達する。同様に、第2のゲート信号線選択パルスは、やがて i 段目のゲート信号線に到達する。引き続き走査が進行し、垂直走査が行われている。

【0062】以上は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割し、2本のゲート信号線を選択した場合である。1ゲート信号線選択期間内に m 段 (m は整数) のゲート信号線を選択する場合には、同様の方法でゲート信号線選択期間を m 分割して、サブゲート信号線選択期間を設ければ良い。

【0063】続いて、階調方式について説明する。本発明の電子装置においては、示した階調に時間階調を加

3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割する。 $SF_1 \sim SF_3$ の各長さは、2のべき乗で決定される。つまりこの場合、 $SF_1 : SF_2 : SF_3 = 4 : 2 : 1 = 2^2 : 2^1 : 2^0$ となる。

【0064】まず、最初のサブフレーム期間において、1段ずつ画素に信号を入力していく。ただしこの場合、実際にゲート信号線が選択されるのは、前半のサブゲート信号線選択期間のみである。後半のサブゲート信号線選択期間には、ゲート信号線の選択は行われず、画素への信号の入力も行われない。この動作を、1段目から最終段まで行う。ここで、アドレス(書き込み)期間は、1段目のゲート信号線が選択されてから、最終段のゲート信号線が選択されるまでの期間である。よって、アドレス(書き込み)期間の長さは、どのサブフレーム期間においても同一である。

【0065】続いて、第2のサブフレーム期間に入る。ここでも同様に、1段ずつ画素に信号が入力される。この場合も、前半のサブゲート信号線選択期間においてのみ行われる。この動作を、1段目から最終段まで行う。

【0066】この時、全画素の陰極配線には、一定電圧が印加されている。よって、あるサブフレーム期間における画素のサステイン(点灯)期間は、あるサブフレーム期間において画素に信号が書き込まれてから、次のサブフレーム期間において画素に信号が書き込まれ始めるまでの期間となる。よって、各段におけるサステイン(点灯)期間は、時期が異なり、長さが等しい。

【0067】続いて、第3のサブフレーム期間について説明する。まず、第1、第2のサブフレーム期間と同様に、前半のサブゲート信号線選択期間においてゲート信号線を選択し、画素に信号を書き込む場合について考えてみる。この場合、最終段付近の画素への信号の書き込みが始まる時には、すでに次のフレーム期間での1段目の画素への書き込み期間、つまりアドレス(書き込み)期間に入ってしまったている。その結果、第3のサブフレーム期間における最終段付近の画素への書き込みと、次のフレーム期間の第1のサブフレーム期間における前段のある画素への書き込みが重複することになるわけである。同時に異なる2段分の信号を異なる2段の画素に正常に書き込むことはできない。そこで、第3のサブフレーム期間においては、後半のサブゲート信号線選択期間にゲート信号線を選択していることにする。すると、第1のサブフレーム期間(このサブフレーム期間は次のフレーム期間に属する)と第2のサブフレーム期間(このサブフレーム期間は次のフレーム期間に属する)の間に、第3のサブフレーム期間があることになる。

【0068】ここでは、簡単に、1フレーム階調と時間階調とを組み合わせて、3ビットの階調(23=8階調)を表現する態様について説明する。

【0069】以上をまとめ、本発明の駆動方式においては、あるサブフレーム期間におけるアドレス(書き込み)期間と、別のサブフレーム期間におけるゲート信号線選択期間とを、別のサブフレーム期間に設ける。

符号選択期間を利用して書き込み期間の割り当てを行うことにより、実際にゲート信号線の選択タイミングが重複しないようにするため、画素に正常に信号を書き込むことができる。その結果、ある行でアドレス書き込み期間にある瞬間に、別の行ではEし素子を点灯させるといったことが階調のビット数に関わらず可能となり、その結果高デューティ比を実現する。

【0 0 7 0】

【実施例】以下に本発明の実施例について記述する。

【0071】[実施例1]本実施例においては、例として、1フレーム期間を分割した際に、アドレス（書き込み）期間よりも短いサステイン（点灯）期間（サブフレーム期間）が複数ある場合を挙げて説明する。

【0072】図2(A)、(B)を参照する。図2は1フレーム期間を5つのサブフレーム期間に分割した際のタイミングチャートを示している。この場合、ゲート信号線選択期間を前半、後半のサブゲート信号線選択期間に分割して信号の書き込みを行っても、アドレス(書き込み)期間 T_{a5} および次のフレーム期間の T_{a1} が重複しているのがわかる。そのため、このタイミングでは正常に信号の書き込みを行うことはできない。

【0073】1つの方法として、長いサブフレーム期間と短いサブフレーム期間とで順序を入れ替えることにより、この問題を解決することとなる。図3A)。

【0074】[実施例2]本実施例においては、実施例1で述べたスケジュール（書き込み・期間の重複を、実施例1とは異なる手段にて回避する方法について説明する。

【0075】図2において、重複しているフドして（書き込み）期間は、T_{a5}および次のフレーム期間のT_{a1}である。

はT₀で信号の書き込みを行う。結果として、図4

(B) に示すようなタイミングで信号の書き込みが行われ、各サブゲート信号選択期間内における複数のアドレス(書き込み)期間の重複は回避することができる。

【0076】本実施例で説明した方法によると、ゲート信号線選択期間の分割数が増加する分、サブゲート信号線選択期間が短くなり、信号の書き込み時間が減少する反面、実施例 1 に示した方法では対処しきれない場合

(例えばアドレス(書き込み)期間が長く、順序の並べ替えを行っても重複する部分がある場合など)には有効である。

【0077】【実施例3】本実施例においては、アドレス（書き込み）期間の重複を、実施例1および実施例2とは異なる手段にて回避する方法について説明する。

【0078】S15(A)、(B)を参照する。SF₄、SF₅は、それ自身の期間が短いため、通常のタイミングではアドレス（書き込み）期間の重複を回避することはできない。そこで、SF₄、SF₅各々の後に、リセット期間Tr₄、Tr₅を設ける。リセット期間中は、EL素子が点灯しないような信号を入力する。具体的には、書き込む電圧を、保持容量に電荷が蓄積されない電圧としてやれば良い。以後、この信号をリセット信号と表記する。信号を画素に書き込んでから、前記リセット信号が入力されるまでの時間を変化させることで、サブフレーム期間SF₄、SF₅の長さを調節し、各アドレス（書き込み）期間およびリセット期間が重複しないタイミングにすれば良い。

【0079】本実施例で挙げた方法を用いると、リセット信号の入力後、次にブレイス（書き込み）期間が現れるまでの期間はE1素子が点灯しないため、ややデューティ比が低下するといった問題が生ずるが、本実施例で用いるリセット信号は、サステイン（点灯）期間が少なくとも1フレーム期間内に収まらない場合などに、時間調整目的で利用することも可能である。

【0080】実施例1、実施例1～3においては、実施形態にしたがって、回路構成によつて、駆動信号のタイミングを調整することによって、書き込み期間の重複を回避する方法について説明してきた。本実施例においては、ゲート信号線とデータライン用TFTを追加して回路を構成した場合について説明する。具体例として、1ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合を挙げる。

第1の信号機は、信号機進捗時間においては、 T_1 、 T_2 、 T_3 の3信号の書き込みを行い、第2の信号機は、信号機進捗時間においては、 T_4 、 T_5 の2信号の書き込みを行い、第3の信号機は、信号機進捗時間においては、 T_6 、 T_7 の2信号の書き込みを行う。

[illegible]

し、その上に300 [nm] 厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性バースト材料4021を介してFPC4008に接続される。

【0094】4020に示された領域において陰極4019と配線4007とを電気的に接続するために、層間絶縁膜4015及び絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとする事ができる。

【0095】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0096】さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

【0097】このとき、この充填材4023は、カバー材4009を接合するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0098】また、充填材4023の中にスポンジャーを含有させてもよい。このとき、スポンジャーをBzのなどからなる粒状物質とし、スポンジャー自体に吸湿性をもたせてもよい。

【0099】スポンジャーを設けた場合、パッシベーション膜4022はスポンジャー圧を緩和することもできる。

る場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0101】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材4009が透光性を有する必要がある。

【0102】また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電気的に接続される。

【0103】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面（露出面）を覆うようにシーリング材4011を取り付けているが、カバー材4009及びシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009及びシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（ 10^{-2} [Torr] 以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0104】[実施例6] 本実施例では、実施例5とは異なる形態のEL表示装置を作製した例について、図8（A）、（B）を用いて説明する。図7（A）、（B）と同じ番号のものは同じ部分を指しているので説明は省略する。

【0105】図3（A）は本実施例のEL表示装置の上面図であり、図3（A）をA-A'で切断した断面図を図3（B）に示す。

【0106】実施例5に従って、EL素子の表面を覆ってパッシベーション膜4022までを形成する。

【0107】さらに、EL素子を覆うようにして充填材4023を設ける。この充填材4023は、カバー材4009を接合するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

また、充填材4023の中にスポンジャーを含有させてもよい。このとき、スポンジャーをBzのなどからなる粒状物質とし、スポンジャー自体に吸湿性をもたせてもよい。

スポンジャーを設けた場合、パッシベーション膜4022はスポンジャー圧を緩和することもできる。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

また、充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えてもよい。

ン膜4022はスパーサー圧を緩和することができる。また、パッシベーション膜とは別に、スパーサー圧を緩和する樹脂膜などを設けてもよい。

【0110】また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリアステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0111】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0112】次に、充填材4023を用いてカバー材4009を接着した後、充填材4023の側面(露出面)を覆うようにフレーム材4024を取り付ける。フレーム材4024はシーリング材(接着剤として機能する)4025によって接着される。このとき、シーリング材4025としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材4025はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材4025の内部に乾燥剤を添加してあっても良い。

【0113】また、配線4007はシーリング材4025と基板4001との隙間を通してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4025の下を通してFPC4008に電気的に接続される。

【0114】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露出面)を覆うようにフレーム材4024を取り付けているが、カバー材4009、シーリング材4025及びフレーム材4024を取り付けてから、充填材4023を設けてもよい。この場合、基板4001、カバー材4009、シーリング材4025及びフレーム材4024で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} [Torr]以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙内の気圧よりも高くして

たスイッチング用TFT4502は公知の方法で形成されたnチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャネル型TFTを用いて形成しても構わない。

【0117】また、EL駆動用TFT4503は公知の方法で形成されたnチャネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4504は配線4505によってEL駆動用TFT4503のゲート電極4506に電気的に接続されている。また、4507で示される配線は、スイッチング用TFT4502のゲート電極4508、4509を電気的に接続するゲート配線である。

【0118】EL駆動用TFT4503はEL素子4510を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、EL駆動用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLED領域を設ける構造は極めて有効である。

【0119】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を弱い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0120】また、図1(A)に示すように、EL駆動用TFT4503のゲート電極4506を含む配線4501は、4511で示される領域で、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して重なる。このとき、4511で示される領域では保持容量が形成される。保持容量4511は、電流供給線4513と電気的に接続された半導体膜4514、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線4505との間で形成される。また、配線4505、第1層間絶縁膜と同一層の絶縁膜(図示せず)及び電流供給線4513との間で形成される。

図1(A)は、本発明の第1実施例を示す。図1(B)は、図1(A)に、図2(A)～(E)では共通の符号を用いるので互いに参照すれば良い。

図1(A)は、本発明の第1実施例を示す。図1(B)は、図1(A)に、図2(A)～(E)では共通の符号を用いるので互いに参照すれば良い。

図1(A)は、本発明の第1実施例を示す。図1(B)は、図1(A)に、図2(A)～(E)では共通の符号を用いるので互いに参照すれば良い。

図1(A)は、本発明の第1実施例を示す。図1(B)は、図1(A)に、図2(A)～(E)では共通の符号を用いるので互いに参照すれば良い。

動用TFT4503の上には第1のバンプレーション膜4515が設けられ、その上に樹脂絶縁膜でなる平坦化膜4516が形成される。平坦化膜4516を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層4519は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層4519をできるだけ平坦面に形成するように画素電極4517を形成する前に平坦化しておくことが望ましい。

【0122】また、4517は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、第1のバンプレーション膜4515及び平坦化膜4516に設けられたコンタクトホールを介して、EL駆動用TFT4503のドレイン領域に電気的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0123】次に有機樹脂膜を画素電極4517及び平坦化膜4516上に形成し、前記有機樹脂膜をパターンニングすることで、バンク4518及びタップ4520を形成する。バンク4518は、隣り合う画素の発光層またはEL層を分離するために設ける。タップ4520は、画素電極4517とEL駆動用TFT4503のドレイン配線4511とが接続されている部分の上に設けられる。画素電極4517はコンタクトホールの部分において段差が生じる場合があり、後に形成される発光層4519の発光不良を防ぐために、タップ4520を設けることで平坦化しておくことが望ましい。なお、バンク4518とタップ4520とは同じ厚さに形成しなくとも良く、後に形成される発光層4519の厚さに応じて適宜設定することが可能である。

【0124】バンク4518により形成された溝（画素）に相当する（図11）にはEL層4519が形成される。なお図11（A）では、保持容量1511の位置を明確にするために一部バンクを省略しているが、電流供給線1513と、ドレイン配線4511の一部とを覆うように画素間に設けられている。また、ここでは2画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とするEL材料としては有機ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン

【0126】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150[nm]（好ましくは40～100[nm]）とすれば良い。

【0127】但し、以上の例は発光層として用いることのできるEL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせることでEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0128】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらのEL材料や無機材料は公知の材料を用いることができる。

【0129】本実施例では発光層4519の上にPEDOT（ポリチオフェン）またはPAN（ポリアニリン）でなる正孔注入層4522を設けた積層構造のEL層としている。そして、正孔注入層4522の上には透明導電膜でなる陽極4523が設けられる。本実施例の場合、発光層4519で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0130】陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522及び陽極4523で形成された保持容量とを指す。図11（A）に示すように画素電極4517は画素の面積にはほぼ一致するため、画素全体が正孔素子として機能する。従って、発光の利用効率が非常に高く、明るく画像表示が可能となる。

【0131】ところで、本実施例では、陽極4523の上にさらに第2のバンプレーション膜4524を設けている。第2のバンプレーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、

を有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なE表示パネルが得られる。

【0133】【実施例8】本実施例では、実施例7に示した画面部において、E1素子4510の構造を反転させた構造について説明する。説明には図11を用いる。なお、図9の構造と異なる点はE1素子の部分とE1駆動用TFTだけであるので、その他の説明は省略することとする。

【0134】図11において、EL駆動用TFT4503は公知の方法で形成されたpチャネル型TFTを用いる。

【0135】本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物である導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物である導電膜を用いても良い。

【0136】そして、絶縁膜であるバンク4526及び
クランプ4527が形成された後、溶液塗布によりポリビ
ニルカルバゾールである発光層4523が形成される。
その上にはカリウムアセチルアセトネート(KacacK
と表記される)である電子注入層4529、アルミニウ
ム合金である陰極4530が形成される。この場合、陰
極4530がパッシベーション膜としても機能する。こ
うしてEL素子4531が形成される。

【0137】本実施例において説明した構造を有するE-L画素の場合、発光層4528で発生した光は、矢印で示されるようにTFTで形成された基板の方に向かって放射される。

【0138】実施例9 本実施例では、図10（B）に示した回路図とは異なる構造の画素とした場合の例について図12（A）～（C）に示す。なお、本実施例において、3501はスイッチング用TFT、3502のソース配線を兼ねているソース信号線、3503はスイッチング用TFT、3503のゲート電極を兼ねているゲート信号線、3504はEL駆動用TFT、3505は保持容量、3506、3507は電圧供給線、3507はEL素子とする。

【0139】図12(A)は、隣接する2つの画素間で電流供給線3506を共通とした場合の例である。即ち、隣接する2つの画素が電流供給線3506を中心に線対称となるように形成されている場合に特徴がある。この場合、電流供給線の本数を減らすことができるため、

とて専有面積を生有させることが出来るため、画素部をさらに高精細化することが出来る。

【0141】また、図12(C)は、図12(B)の構造と同様に電流供給線3803をゲート信号線3803と平行に設け、さらに、2つの画素を電流供給線3803を中心に線対称となるように形成する点に特徴がある。また、電流供給線3803をゲート信号線3803のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0142】[実施例10] 実施例7に示した図10

(A)、10(B)ではEL駆動用TFT4503のゲート電極にかかる電圧を保持するために保持容量4511を設ける構造としているが、保持容量4511を省略することも可能である。実施例7の場合、EL駆動用TFT4503として公知の方法で形成されたnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたG-LD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4511の代わりとして積極的に用いる点に特徴がある。

【り143】この寄生容量がキャパシタンスは、上記ゲート電極とGOLD領域とを重ね合わせた面積によって変化するため、その重ね合わせた領域に含まれるGOLD領域の長さによって決まる。

【0144】また、実施例9に示した図12(A)、(B)、(C)の構造においても同様に、保持容量3805を省略することは可能である。

【０１４５】〔実施例１〕本実施例においては、実施例１～１０で説明した電子装置の作成方法例として、画素部のスイッチング素子であるＥＬ駆動用ＴＦＴと、画素部の周辺に設けられる駆動回路（ソース信号線駆動回路、ゲート信号線駆動回路等）のＴＦＴを同一基板上に作成する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路であるＣＭＯＳ回路と、画素部としてはスイッチング用ＴＦＴとＥＬ駆動用ＴＦＴとを図示することにする。

【0146】図13を参照する。基板5001には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板5001の

以上を比較すると、両者の異なる習慣に依拠した二つの配製法と、その結果生ずる異なる性質の異なる材料とを、明らかに示すことが出来る。

[illegible]

〔nm〕の厚さの非晶質シリコン膜をプラズマCVD法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550〔℃〕で数時間加熱して脱水素処理を行い、含有水素量を5〔atom%〕以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作成方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素の含有量を十分低減させておくことが望ましい。

【0143】ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作成されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。この連続形成を行うと、下地膜を形成後、当前記下地膜の表面が大気雰囲気曝露されることを回避できるため、下地膜表面の汚染を防ぐことが可能となり、作成されるTFTの特性バラツキを低減させることができる。

【0149】非晶質シリコン膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成した。

【0150】なお、本実施例では半導体層の形成に非晶質シリコン膜をレーザーあるいは熱により結晶化するという方法を用いているが、微結晶シリコン膜を用いても構わない。直接結晶質シリコン膜を成膜しても良い。

【0151】こうして形成された結晶質シリコン膜をパターニングして、島状の半導体層5003、5004、5005、5006を形成された。

【0152】次に、島状の半導体層5003、5004、5005、5006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜5007を形成した。ゲート絶縁膜5007は、プラズマCVD法で SiO_2 と Si_3H_8 を原料とした酸化酸化シリコン膜を10～200〔nm〕、好ましくは50～150〔nm〕の厚さで形成すれば良い。本実施例においては、100〔nm〕の厚さに形成した。

【0153】そして、ゲート絶縁膜5007の表面に第1のゲート電極となる第1の導電膜5008と、第2のゲート電極となる第2の導電膜5009とを形成した。第1の導電膜5008はSn、Geから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜5007の厚さは5～50〔nm〕、好ましくは10～30〔nm〕とする必要

0〔sccm〕、ヘリウム（He）を300〔sccm〕導入して作成することができる。このとき同時に、 Si_2H_6 に対して PH_3 を0.1～2〔%〕混入させてn型の半導体膜を形成しても良い。

【0155】第2のゲート電極となる第2の導電膜は、エッチングで選択比のとれる導電性材料、あるいはこれらを主成分とする化合物で形成すれば良い。これはゲート電極の電気抵抗を下げるために考慮されるものであり、例えば、Mo-W化合物を用いても良い。ここでは、Taを使用し、スパッタ法で、200～1000〔nm〕、代表的には400〔nm〕の厚さに形成した。（図13（A））

【0156】次に公知のパターニング技術を使ってレジストマスクを形成し、第2の導電膜5009をエッチングして第2のゲート電極を形成する工程を行った。第2の導電膜5009はTa膜で形成されているので、ドライエッチング法を用いて行った。ドライエッチングの条件として、 Cl_2 を50〔sccm〕導入して100〔mTorr〕、500〔W〕の高周波電力を投入して行った。そして、図12（B）に示すように第2のゲート電極5010、5011、5012、5013、5014および配線5501を形成した。

【0157】エッチング後に残渣が確認された場合は、SPX洗浄液やEKCなどの溶液で洗浄することにより除去すればよい。

【0158】また、第2の導電膜5009はフットエッチングで除去しても良い。例えば、Taの場合、フッ酸系エッチング液を用いて容易に除去することができる。

【0159】そして、n型を付与する第1の不純物元素を添加する工程を行った。この工程は第2の不純物領域を形成するための工程である。本実施例においては、フッ素ガス（ PH_3 ）を用いたイオンドーピング法で行った。この工程では、ゲート絶縁膜5007と第1の導電膜5008を通してその下の半導体層にリン（P）を添加するために、加速電圧は80〔keV〕と高めに設定する必要がある。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ 〔atoms/cm³〕の範囲にするのが好ましく、ここでは 1×10^{18} 〔atoms/cm³〕とした。そして、半導体層にリンが添加された領域5015、5016、5017、5018、5019、5020、5021、5022、5023が形成された。（図13（B））

【0160】また、第1の不純物領域5015、5016、5017、5018、5019、5020、5021、5022、5023に、第2の不純物元素が添加されていても良い。この半導体膜の作成法は公知の方法に従えば良い。例えば、第1の不純物元素はリン（P）とすると、第2の不純物元素はホウ素（B）とすることができる。

【0161】また、第1の不純物領域5015、5016、5017、5018、5019、5020、5021、5022、5023に、第2の不純物元素が添加されていても良い。この領域5015、5016、5017、5018、5019、5020、5021、5022、5023の濃度は特に規定されるものではないが、第1の導電膜の抵抗率を下げるために、第2の不純物元素はリン（P）とすると、第1の不純物元素はホウ素（B）とすることができる。

【0162】また、第1の不純物領域5015、5016、5017、5018、5019、5020、5021、5022、5023に、第2の不純物元素が添加されていても良い。この領域5015、5016、5017、5018、5019、5020、5021、5022、5023の濃度は特に規定されるものではないが、第1の導電膜の抵抗率を下げるために、第2の不純物元素はリン（P）とすると、第1の不純物元素はホウ素（B）とすることができる。

レジストマスク5024、5025で覆って、第1の導電膜5003の一部を除去する工程を行った。本実施例においては、ドライエッチング法により行う。第1の導電膜5003はSiであり、ドライエッチングの条件として、 CF_4 を50[sccm]、 O_2 を45[sccm]導入して50[mTorr]、で200[W]の高周波電力を投入して行った。その結果、レジストマスク5024、5025および第2のゲート導電膜に覆われている部分の第1の導電膜5026が残った。

【0162】そして、pチャネル型TFTが形成される領域に、p型を付与する第3の不純物元素を添加する工程を行った。ここではジボラン(B_2H_6)を用いてイオンドーピング法により添加した。ここでも加速電圧を80[eV]として、 2×10^{20} [atoms/cm³]の濃度にボロンを添加した。そして、ボロンが高濃度に添加された第3の不純物領域5027、5028、5029、5030が形成された。(図13(C))

【0163】図14を参照する。第3の不純物元素の添加を行った後、レジストマスク5024、5025を完全に除去して、再度レジストマスク5031、5032、5033、5034、5035、5502を形成した。そして、レジストマスク5031、5033、5034を用いて第1の導電膜をエッチングし、新たに第1の導電膜5036、5037、5038を形成した。

(図14(A))

【0164】そして、n型を付与する第2の不純物元素を添加する工程を行った。本実施例においては、フォスフィン(PH_3)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜5007を通してその下の半導体層にリンを添加するために、加速電圧は80[eV]と高めに設定している。そして、リンが添加された領域5039、5040、5041、5042、5043が形成された。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ [atoms/cm³]とするのが好ましく、本実施例においては 1×10^{20} [atoms/cm³]とした。(図14(A))

【0165】さらに、レジストマスク5031、5032、5033、5034、5035、5502を除去して、新たにレジストマスク5044、5045、5046、5047、5048、5503を形成し、第1の導電膜のエッチングを行った。この工程において、nチャネル型TFTが形成される領域に、第1のゲート電極5049、5050、5051が形成された。

(B))

【0166】そして図14(C)に示すように第1のゲート電極5049、5050、5051が形成された。

【0167】以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域5052、第1の不純物領域5053、5054、第2の不純物領域5055、5056が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)5055a、5056aと、ゲート電極と重ならない領域(LDD領域)5055b、5056bがそれぞれ形成されている。そして、第1の不純物領域5053はソース領域として、第1の不純物領域5054はドレイン領域となる。

【0168】pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域5057、第3の不純物領域5058、5059が形成された。そして、第3の不純物領域5059はソース領域、第3の不純物領域5058はドレイン領域となる。

【0169】画素部のスイッチング用nチャネル型TFTはマルチゲートであり、チャネル形成領域5060、5061と第1の不純物領域5062、5063、5064と第2の不純物領域5065、5066、5067、5068が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域5065a、5066a、5067a、5068aおよびゲート電極と重ならない領域5065b、5066b、5067b、5068bとが形成された。

【0170】また、EL駆動用pチャネル型TFTは、CMOS回路におけるpチャネル型TFTと同様の構造をとり、チャネル形成領域5069と第3の不純物領域5070、5071が形成される。第3の不純物領域5070はソース領域、第3の不純物領域5071はドレイン領域となる。(図14(C))

【0171】続いて、窒化シリコン膜5504、第1の層間絶縁膜5072を形成する工程を行った。最初に窒化シリコン膜5504を100[nm]の厚さに成膜した。窒化シリコン膜5504はプラズマCVD法で形成され、 SiH_4 を5[sccm]、 NH_3 を40[sccm]、 N_2 を100[sccm]導入して0.7[Torr]、300

[W]の高周波電力を投入して行った。次に、第1の層間絶縁膜5072を形成した。第1の層間絶縁膜5072としては、珪素を含む絶縁膜を単層で用いるか、その

実施例2

図15(A)の一部を除去する目的で設計されるものであり、このレジストマスクの長さにより、第2の不純物領域と第1の導電膜、または第2の不純物領域と第1のゲート電極とが重なる領域が形成される。

図15(B)に示すように、第2の不純物領域5055と第1のゲート電極5051が重なる領域が形成される。

【0172】さらに、 $3 \sim 100$ [nm]の不純物を含む珪素膜5055c、5056c、5055d、5056dが形成される。

図15(C)に示すように、第2の不純物領域5055と第1のゲート電極5051が重なる領域が形成される。

れた水素により半導体膜の不対称性を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0173】なお、水素化処理は第1の層間絶縁膜5072を形成する間に入れても良い。即ち、200[μm]厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り300[μm]厚の酸化珪素膜を形成しても構わない。

【0174】次に、第1の層間絶縁膜5072に対してコンタクトホールを形成し、ソース配線5073、5075、5076、5078と、ドレイン配線5074、5077、5079を形成した。なお、本実施例ではこの電極を、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造（図示せず）の積層膜としているが、勿論、他の導電膜でも良い。

【0175】次に、50～500 [nm]（代表的には200～300 [nm]）の厚さで第1のバッシベーション膜5080を形成した。本実施例では第1のバッシベーション膜5080として300 [nm]厚の窒化酸化珪素膜を用いている。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により前記された水素が第1の層間絶縁膜5072に供給され、熱処理を行うことで、第1のバッシベーション膜5080の膜質が改善された。それと同時に、第1の層間絶縁膜5072に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができた。（図15（A））

【1176】次に、有機樹脂からなる第2の層間絶縁膜5031を形成した。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することかできる。特に、第2の層間絶縁膜5031は平用化の意図合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTTPによって形成される段差を十分に平用化しうる膜厚でアクリル膜を形成した。好ましくは1～5〔μm〕（さらに好ましくは2～4〔μm〕）とすればよい。

【0177】次に、第2の窒素絶縁膜5081及び第1のバランケーション膜5080にドレイン配線5079に達するコンタクトホールを形成し、画素電極5082

シタ5033は画素と画素との間にストライプ状に形成される。本実施例ではソース配線5076上に沿って形成するが配線5071上に沿って形成しても良い。なお、パシタ5033を形成している樹脂材料に顔料等を混ぜ、パシタ5033を遮光膜として用いても良い。

【0179】次に、EL層5084及び陰極(MgAg電極)5085を、真空蒸着法を用いて大気解放しないで連続形成した。なお、EL層5084の膜厚は80~200[nm](典型的には100~120[nm])、陰極5085の厚さは150~300[nm](典型的には200~250[nm])とすれば良い。なお、本実施例では一面導しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層を形成した。

【0180】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次にE層5084及び陰極5085を形成した。但し、E層5084は溶液に対する耐性に乏しいためフトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE層5084及び陰極5085を形成するのが好ましい。

【0181】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE1層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE1層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE1層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にE1層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【００１３】なお、本実施例では正孔層５０５を発光層４のみに形成する単層構造としているが、正孔層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。正孔層５０５、４としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実

[illegible][illegible]

に連続的に処理することは有効である。

【0184】ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてN₂等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10【MHz】以上にすることが可能である。

【0185】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでのいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0186】本実施例の場合、図14（C）、図16に示すように、nチャネル型TFTの活性層は、ソース領域5053、ドレイン領域5054、GOLD領域5055a、5056a、LDD領域5055b、5056b及びチャネル形成領域5052を含み、GOLD領域5055a、5056aはゲート絶縁膜を介してゲート電極5049と重なっている。

【0187】また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0188】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することによって好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、平均電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0190】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのFPCを取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではELディスプレイ（またはELモジュール）をという。

【0191】【実施例12】本実施例においては、本発明の駆動方法を実施するための回路構成について説明する。

【0192】図17を参照する。図17（A）は本発明のゲート信号線の複数交互選択を行うための、ゲート信号線駆動回路に関する回路構成を示している。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。画素部1753の両側に、ゲート信号線駆動回路1752を配置し、各ゲート信号線駆動回路のバッファ出力から画素部1753に至るまでの間に、スイッチ回路1754、1755を設ける。スイッチ回路1754、1755の構成例を、図17（B）（C）に示す。

【0193】スイッチ回路1754、1755には、ゲート信号線選択タイミング切り替え信号が、1本あるいは複数の信号線を介して入力される。図17（A）においては、ピン11、12より各ゲート信号線駆動回路内のスイッチ回路へと入力されているが、一方のスイッチ回路に入力されるゲート信号線選択タイミング切り替え信号を、インバータを用いて反転して他方に入力されるようにしても良い。これにより、スイッチ回路1754、1755は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路1754は前次のサブゲート信号線選択期間中に開き、もう一方のスイッチ回路1755は後次のサブゲート信号線選択期間中に開くことで、2つのサブゲート信号線選択期間について正常にゲート信号線の選択が行われる。

【0194】図18を参照する。図18は本発明のゲート信号線の複数交互選択を行う場合に用いるソース信号線駆動回路に関する回路構成を示している。

【0195】図18（A）は従来の同様の構成のソース信号線駆動回路を用いた例を示す図である。シフトレジスタ回路（SR）には、ピン21、22よりクロック信号と、ピン23よりスタートパルスが入力され、順次パルスを出力する。これが第1ラッチパルスとなる。第

次に、画素部1753の両側に、ゲート信号線駆動回路1752を配置し、各ゲート信号線駆動回路のバッファ出力から画素部1753に至るまでの間に、スイッチ回路1754、1755を設ける。スイッチ回路1754、1755の構成例を、図17（B）（C）に示す。

次に、画素部1753の両側に、ゲート信号線駆動回路1752を配置し、各ゲート信号線駆動回路のバッファ出力から画素部1753に至るまでの間に、スイッチ回路1754、1755を設ける。スイッチ回路1754、1755の構成例を、図17（B）（C）に示す。

で、それぞれ画素への書き込みおよび点灯が行われる。

【0196】このとき、ゲート信号線選択期間が2つのサブゲート信号線選択期間を有する場合、ソース信号線例では、1ゲート信号線選択期間内の前半および後半の2つのサブゲート信号線選択期間に書き込む信号のサンプリングおよびラッチを完了するため、ソース信号線駆動回路の動作クロック周波数を2倍にする必要がある。これを図29、図30を参照して説明する。

【0197】図29は通常の時間階調方式におけるタイミングチャートである。本図はVGA、4ビット階調、フレーム周波数60 [Hz] の場合（1秒間に60フレームの表示を行う）について示している。以下に説明を記す。

【0198】1表示領域分の画像が完全に表示される期間を1フレームと呼ぶ。1フレーム期間は、図1～5に示したように、複数のサブフレーム期間を有し、1サブフレーム期間はそれぞれがアドレス（書き込み）期間

$T_{a_n} : n=1, 2, \dots$ ）とサステイン（点灯）期間（ $T_{s_n} : n=1, 2, \dots$ ）を有する。1フレーム期間が有するサブフレーム期間の数は、表示する階調のビット数に等しく、 n ビットの階調を表現するには、サステイン（点灯）期間の長さを、 $T_{s_1} : T_{s_2} : \dots : T_{s_n-1} : T_{s_n} = 2^{n-1} : 2^{n-2} : \dots : 2^1 : 2^0$ とし、点灯期間の長さで輝度を制御する。図29においては4ビット階調であるので、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0$ となる。

【0199】アドレス（書き込み）期間は482（480段＋ダミー2段とする場合、段のゲート信号線選択期間（水平期間）を有する。1ゲート信号線選択期間の前半の、ドットデータサンプリング期間で、1水平期間分のデータが順番に第1のラッチ回路に保持される。その後のラインデータラッチ期間で、1水平期間分のデータが一斉に第2のラッチ回路に転送される。

【0200】図30は、図17、図18（A）に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間は図29と同様、表示ビット数分のサブフレーム期間を有するが、本発明の駆動方法を用いる場合、1つのゲート信号線選択期間が複数（本実施例においては2つ）のサブゲート信号線選択期間を有し、あるサブゲート信号線選択期間で書き込みを行っている間、その直前のサブゲート信号線選択期間で書き込みの行われた画素は既に点灯を開始してしまっている。従って、図30に示すように、

完了しなければならない。すなわち、図30に示すように、ドットデータサンプリング期間およびデータラッチ期間は、図29の場合と比較して半分の長さとなることとなる。故に、本実施例で示したソース信号線駆動回路を用いて本発明の駆動方法を実施するには、ソース信号線駆動回路の動作クロック周波数を2倍とする必要が生ずる。

【0202】図18（B）は、画素マトリクス両側に2組のソース信号線駆動回路を配置する例である。本例で説明する回路は、第2のラッチ回路と画素部との間にスイッチ回路1854、1855を有する。シフトレジスタ回路、第1のラッチ回路、第2のラッチ回路の一連の動作は図18（A）と同様であるので説明を省略するか、2つのソース信号線駆動回路の内、一方は前半のサブゲート信号線選択期間内の書き込みを担当し、他方は後半のサブゲート信号線選択期間内の書き込みを担当する。ゲート信号線駆動回路1852に関しては、図17に示したものをいれれば良い。

【0203】スイッチ回路1854、1855には、ラッチ出力切り替え信号が、1本あるいは複数の信号線を介して入力される。図18（B）では、ピン31、32よりそれぞれ入力されるように示しているが、一方のスイッチ回路に入力されるラッチ出力切り替え信号を、インバータを通して反転させて他方に入力しても良い。つまり、スイッチ回路1854、1855は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路1854は前半のサブゲート信号線選択期間中に信号を書き込む期間に開き、もう一方のスイッチ回路1855は後半のサブゲート信号線選択期間中に信号を書き込む期間に開く。この順序は逆でも同様の動作をする。このような構成の回路を用いることで、ソース信号線駆動回路の駆動周波数を上げることなく、2つのサブゲート信号線選択期間のそれぞれで期間に正常に画素への信号の書き込みを行うことができる。従前、画素マトリクス両側に駆動回路が配置されるため、装置全体の占有面積が増大する点がある。

【0204】図31を参照する。図31は図17、図18（B）に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間を表示ビット数分のサブフレーム期間を有し、さらにそのサブフレーム期間が482（480段＋ダミー2段とする場合）段のゲート信号線選択期間（水平期

間）を有し、1サブゲート信号線選択期間に分割されている。よって、1つのソース信号線駆動回路が、1水平期間分のデータを書き込む間に、その直前のサブゲート信号線選択期間で書き込みの行われた画素は既に点灯を開始してしまっている。従って、図30に示すように、

完了しなければならない。すなわち、図30に示すように、ドットデータサンプリング期間およびデータラッチ期間は、図29の場合と比較して半分の長さとなることとなる。故に、本実施例で示したソース信号線駆動回路を用いて本発明の駆動方法を実施するには、ソース信号線駆動回路の動作クロック周波数を2倍とする必要が生ずる。

【図20-9】回路の動作について説明する。シフトレジスタ回路に、ピン4 1、4 2よりクロック信号が、ピン4 3よりスタートパルスが入力され、第1のラッチ回路L 1 AおよびL 1 Bに順番にパルスが出力される。これが第1のラッチパルスとなる。第1のラッチ回路L 1 AおよびL 1 Bにはデジタルデータ信号1および2が、ピン4 4より入力され、第1のラッチパルスに従って、順番にデータが書き込まれる。このとき、L 1 A、L 1 Bは第1のラッチパルス出力を生成する。第2のラッチパルス

【0014】図20を参照する、図20は図19と同様、シフトレジスタ回路をシステムラッチ回路で共用することで中側に少ない信号線駆動回路を集積した例を示している。本実施例にて示している回路は、シフトレジスタ回路と第1のラッチ回路との間に2入力型NAND回路を有している点に特徴がある。この2入力型NAND回路を、第1のラッチ回路L1Aに出力線が接続されているものをNAND-A、第1のラッチ回路L1Bに

[illegible]

【0215】回路の動作について説明する。シフトレジスタ回路にはピン41、42よりクロック信号（これを以後、第1のクロック信号とする）が、ピン43よりスタートパルスが入力され、順番にパルスが出力される。続いてこのパルスは、NAND回路の2入力端子のうちの一方に入力される。NAND-Aの残る一方の入力端子には、シフトレジスタ回路に入力されている第1のクロック信号の2倍の周波数を有する信号（これを以後、第2のクロック信号と表記する）が入力され、NAND-Bの残る一方の入力端子には、第2のクロック信号の反転信号が入力される。これにより、第1のラッチ回路L1A、L1Bには、シフトレジスタ回路からの出力パルスの半分のパルス幅を有するパルスが入力される。このとき、L1Aに入力されるパルスは、前記シフトレジスタ回路からの出力パルスの前半分、L1Bに入力されるパルスは前記シフトレジスタ回路からの出力パルスの後半分のタイミングで出力されている。以後は実施例13で説明した動作方法に従い、画素部に書き込みが行われる。

【0216】つまり、本実施例で示した回路を用いることにより、第1のラッチ回路以降の動作は実施例13で示した回路と同様の動作を実現し、かつシフトレジスタの動作クロックを、実施例13で示した回路の半分に抑えることが可能となるため、回路の信頼性向上の面で有利となる。反面、駆動回路内の素子数がやや増加する。

【0217】本実施例において示した回路も、ソース信号線駆動回路におけるドットデータサンプリング期間とラインデータラッチ期間は通常、時間階調表示の場合と同じ時間とすることからできるため、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18

(A)に示した回路と同等の処理をすることが可能となる。かつ、シフトレジスタ回路部は通常、時間階調表示の場合に比較してさらに半分の動作クロック周波数に抑えることが可能である。

【0218】なお、本実施例にて示した回路の構成については、シフトレジスタ回路、ラッチ回路、NAND回路（従来のものをそのまま用いても良い、スイッチ回路より4は複数入力（本実施例においては2入力）のうち一方を選択して出力できるものであれば如何様な構造を用いても良い。簡単な例では、実施例13にて用いた、図19（B）に示したものと同様で良い。また、NAND-Bに入力される第2のクロック信号の反転信号は、図20においては第2のクロック信号の反転信号が、

また上での駆動方法について説明する。

【0220】駆動回路内部で信号の遅延によるタイミングずれが生じた場合、一般にはある程度の遅延を許容するようにマージンを取った上で設計が呼ばれている。例えば、1フレーム期間＝1水平期間・ゲート信号線本数＋帰線期間とし、もしゲート信号線選択パルスに遅延が生じた場合にも、帰線期間でその遅延を吸収し、次のフレーム期間には影響しないようにしている。

【0221】本発明において、1水平期間を例えば2つのサブゲート信号線選択期間に分割する際には、図35に示すように、サブゲート期間選択パルスが出力される。このサブゲート期間選択パルスの出力タイミングは、ゲート信号線選択パルス1パルス分の幅にちょうど1周期分が入るようにしなければならない。これは、図35において、それぞれ、サブゲート期間選択パルス（正常）として示している。第1のゲート信号線選択パルス1行目、第1のゲート信号線選択パルス1+1行目、第2のゲート信号線選択パルス1行目、および第2のゲート信号線選択パルス1+1行目のそれぞれのパルス幅に、ちょうどサブゲート期間選択パルス（正常）の1周期分が入っているのがわかる。

【0222】前半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがH（1行目の第1のゲート信号線選択パルスがH）で選択されている状態。回路の組み方によっては選択状態においてL（0）となっても構わない。この時、1行目のゲート信号線が選択される。後半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがL（1行目の第2のゲート信号線選択パルスがL）で選択されている状態。回路の組み方によっては選択状態においてL（0）となっても構わない。この時、1行目のゲート信号線が選択される。

【0223】ここで、サブゲート期間選択パルスと、ゲート信号線選択パルスにタイミングずれが生じた場合を考え、タイミングずれの状態としては、ゲート信号線選択パルスに対して、サブゲート期間選択パルスが遅れる場合と、逆にサブゲート期間選択パルスに対してゲート信号線選択パルスが遅れる場合とが考えられる。ここでは説明を明確にするため、ゲート信号線選択パルスを基準として、サブゲート期間選択パルスが遅れて出力される場合と、逆に早く出力される場合というように、相対的にとらえることとする。

【0224】1. サブゲート期間選択パルスが遅れて

【0225】本発明の駆動方法を、実際に電子装置にて使用する場合は、回路内部で生ずる信号の遅延によるタイミングずれの問題、帰線期間の不足の問題、ゲート信号線選択パルスに遅延が生じた場合、次のフレーム期間には影響しないようにしている。

【0226】図中、各ゲート信号線は、サブゲート期間選択パルスがH（1）の時、ゲート信号線選択期間の前半に選択される。図中、各ゲート信号線は、サブゲート期間選択パルスがL（0）の時、ゲート信号線選択期間の後半に選択される。

【0225】ゲート信号線選択期間の前半においては、1行目の第1のゲート信号線選択パルス9003が出力された後、やや遅れてサブゲート期間選択パルス9002がH1となる。よって、パルス9007で示される期間、1行目のゲート信号線が選択状態となる。一方、ゲート信号線選択期間の後半においては、1行目の第2のゲート信号線選択パルスが出力される瞬間には、サブゲート期間選択パルスは遅延のため、まだH1となっていない。よって、パルス9009で示される期間は、1行目のゲート信号線は選択状態となる。その後、サブゲート期間選択パルスはH1となり、再びL0となつてから1行目の第2のゲート信号線選択パルスがL0（非選択状態）となるまでの期間、つまりパルス9010で示される期間、1行目のゲート信号線は選択状態となる。1+1行目のゲート信号線についても、同様に、それぞれパルス9008、9011、9012で示される期間だけ選択が行われる。

【0226】このとき、サブゲート信号線選択期間の前半と後半とで、それぞれ信号の書き込みが行われる場合に、どのような動作をするかを考える。具体例として、実施例3にて示した、サブゲート信号線選択期間の一方では映像信号を、残る一方ではリセット信号を書き込む場合を考える。

【0227】（1-1）前半に映像信号、後半にリセット信号を書き込む場合

1行目、1+1行目のゲート信号線が、それぞれ前半のサブゲート期間で選択状態となる期間は、9007、9008で示すように、本来のタイミングからやや遅れているが、このタイミングで1行目の映像信号が書き込まれるため、動作に大きな問題は生じない。

【0228】これに対して、1行目、1+1行目のゲート信号線が、それぞれ後半のサブゲート期間で選択状態となる期間は、9009、9010、9011、9012で示すように、各ゲート信号線選択期間の中で2つの期間に分かれることになる。この場合、1行目のゲート信号線が9009で示すタイミングで選択される期間は、本来は1+1行目のゲート信号線が選択されているべき期間である。同様に、1+1行目のゲート信号線が9011で示すタイミングで選択される時は、本来は1行目のゲート信号線が選択されているべき期間である。すなわち、1行目においては、9009で示すタイミングでは1+1行目に書き込みリセット信号が書き込まれ、1+1行目においては、9011で示すタイミングで

では本来のリセット信号が出力されるが、既にEL素子は消灯しているため、この動作による表示の変化はない。（図36（B））

【0229】（1-2）前半にリセット信号、後半に映像信号を書き込む場合

前述と同様、前半のサブゲート期間にゲート信号線が選択される場合、単に選択期間が遅延するだけであるから、問題は生じない。正しい長さのサステイン期間の終了後、リセット信号が書き込まれてEL素子は消灯する。

【0230】9009、9011で示す期間で、1行目、1+1行目のゲート信号線が選択される時、1行目においては、1+1行目の映像信号が書き込まれ、1+1行目においては1行目の映像信号が書き込まれる。ただし、その直後に9010、9012で示すタイミングで再びゲート信号線は選択状態となり、この期間ではそれぞれ正しい映像信号が書き込まれるため、それぞれの行では映像信号が上書きされる形となり、大きな問題とはならない。（図36（C））

【0231】（2）サブゲート期間選択パルスが早く出力される場合

図37（A）を参照する。正常なタイミングで出力される場合のサブゲート期間選択パルスを9101に対し、早く出力されるサブゲート期間選択パルスを9002で示す。図中、各ゲート信号線は、サブゲート期間選択パルスがH1の時、ゲート信号線選択期間の前半に選択され、L0の時、ゲート信号線選択期間の後半に選択されるものとしている。

【0232】ゲート信号線選択期間の前半においては、1行目の第1のゲート信号線選択パルス9103が出力された瞬間には、既にサブゲート期間選択パルスはH1となっている（9102）ため、直ちに1行目のゲート信号線が選択状態となる（9107）。その後、サブゲート期間選択パルスがL0となり、1行目のゲート信号線は非選択状態に戻るが、その後サブゲート期間選択パルスが再びH1となるため、再び1行目のゲート信号線は選択状態となる（9115）。一方、ゲート信号線選択期間の後半においては、1行目の第2のゲート信号線選択パルス出力9106がH1となり、サブゲート期間選択パルスがL0となる期間において選択状態となる（9111）。1+1行目のゲート信号線についても、同様に、それぞれパルス9104、9110、9112で示される期間だけ選択が行われる。

図37（B）に示すように、1行目の映像信号が9107で書き込まれるが、これは本来のタイミングから遅れているため、映像信号が正確に書き込まれることはなく、大きな問題ではないといえる。また、それぞれ前半の映像信号が書き込まれる場合、後半の映像信号が書き込まれる場合、それぞれ異なるタイミングで映像信号が書き込まれることになる。

図37（C）に示すように、1行目の映像信号が9107で書き込まれるが、これは本来のタイミングから遅れているため、映像信号が正確に書き込まれることはなく、大きな問題ではないといえる。また、それぞれ前半の映像信号が書き込まれる場合、後半の映像信号が書き込まれる場合、それぞれ異なるタイミングで映像信号が書き込まれることになる。

図37（D）に示すように、1行目の映像信号が9107で書き込まれるが、これは本来のタイミングから遅れているため、映像信号が正確に書き込まれることはなく、大きな問題ではないといえる。また、それぞれ前半の映像信号が書き込まれる場合、後半の映像信号が書き込まれる場合、それぞれ異なるタイミングで映像信号が書き込まれることになる。

【0233】（3）前半に映像信号、後半にリセット信号を書き込む場合

図38（A）に示すように、前半のサブゲート期間にゲート信号線が選択される場合、単に選択期間が遅延するだけであるから、問題は生じない。正しい長さのサステイン期間の終了後、リセット信号が書き込まれてEL素子は消灯する。

108、9109、9110で示すように、各ゲート信号線選択期間の中で2つの期間に分かれることになる。この場合、i行目のゲート信号線が9108で示されるタイミングで選択される期間は、本来はi+1行目のゲート信号線が選択されているべき期間である。同様に、i+1行目のゲート信号線が9110で示されるタイミングで選択される期間は、本来はi+2行目のゲート信号線が選択されているべき期間である。このとき、ゲート信号線選択期間の前半で映像信号が書き込まれるとすると、i行目においては9107で示す期間で映像信号の書き込みが行われる。しかし、その直後、9108で示す期間ではさらにi+1行目に書き込まれるべき映像信号の書き込みが行われることになり、以後のサステイン（点灯）期間では、i+1行目の映像が書き込まれた状態で表示されてしまう。あるいは、9108で示す期間は時間が短いため、i+1行目の映像信号が満足に書き込まれないままサステイン（点灯）期間に入ることとなり、この場合は正常にEL素子を点灯させることは出来ない。i+1行目についても同様に、本来の映像信号の書き込みが終了した直後、次列の映像信号が書き込まれるために正常に表示が出来なくなるという問題が生ずる。（図37（B））

【0235】一方、ゲート信号線選択期間の後半においては、ややゲート信号線が選択状態となるタイミングが早まるため、わずかに早くリセット信号が書き込まれることになる。つまり、各サステイン（点灯）期間が、サブゲート期間選択パルスとゲート信号線選択パルスの出力タイミングのずれの分だけ短くなるということになるが、こちらは問題とはならない。

【0236】（2-2）前半にリセット信号、後半に映像信号を書き込む場合

ゲート信号線の選択期間が、9107、9108、9109、9110で示す期間となる部分でリセット信号が書き込まれる場合を考えると、図37（C）に示すように、正常なタイミングでi行目およびi+1行目にはリセット信号が書き込まれて、非表示期間となる。その直後、9108、9110でそれぞれ示すタイミングで、i行目にはi+1行目のリセット信号が、i+1行目にはi+2行目のリセット信号が書き込まれるが、その時点ではいずれの行も既に非表示期間となっているため、何らの変化もなく、問題とはならない。

【0237】以上のように、パルスの出力タイミングのずれが生じた場合に、ゲート信号線選択期間の前半と後

信号の書き込みを行うという方法が望ましいことになる。

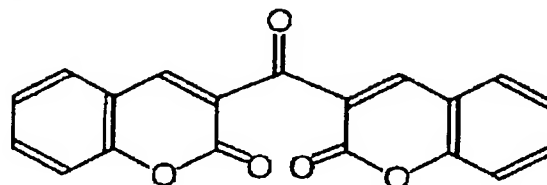
【0238】以上のように、本発明の電子装置およびその駆動方法は、容易に実施が可能であり、またその方法の実施には、実施例1～15に示したいずれの方法を用いて実施しても良く、また複数の実施例を組み合わせる用いても良い。

【0239】[実施例16]本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0240】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。T Tsutsui, C. Adachi, S. Saito, Photochemical Processes in Organized Molecular Systems, ed. K Honda (Elsevier Sci. Publ., Tokyo, 1991) p. 437.）上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0241】

【化1】

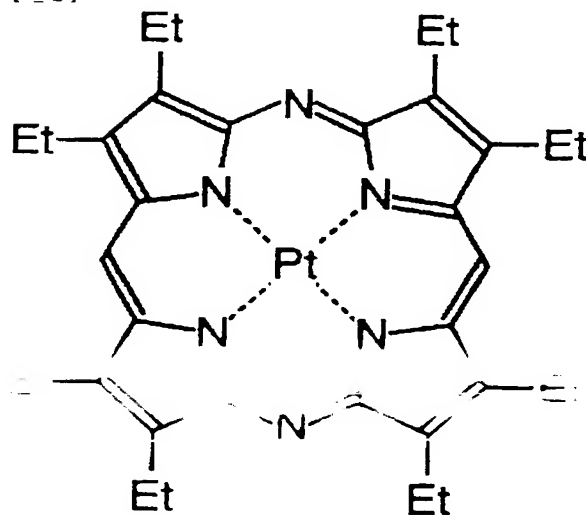


【0242】(M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, Nature 395 (1998) p. 151.)

上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

【0243】

【化2】



半に映像信号を書き込む場合、ゲート信号線選択期間の前半と後半で映像信号の書き込みが行われることになる。この場合、i行目のゲート信号線が9108で示されるタイミングで選択される期間は、本来はi+1行目のゲート信号線が選択されているべき期間である。同様に、i+1行目のゲート信号線が9110で示されるタイミングで選択される期間は、本来はi+2行目のゲート信号線が選択されているべき期間である。このとき、ゲート信号線選択期間の前半で映像信号が書き込まれるとすると、i行目においては9107で示す期間で映像信号の書き込みが行われる。しかし、その直後、9108で示す期間ではさらにi+1行目に書き込まれるべき映像信号の書き込みが行われることになり、以後のサステイン（点灯）期間では、i+1行目の映像が書き込まれた状態で表示されてしまう。あるいは、9108で示す期間は時間が短いため、i+1行目の映像信号が満足に書き込まれないままサステイン（点灯）期間に入ることとなり、この場合は正常にEL素子を点灯させることは出来ない。i+1行目についても同様に、本来の映像信号の書き込みが終了した直後、次列の映像信号が書き込まれるために正常に表示が出来なくなるという問題が生ずる。（図37（B））

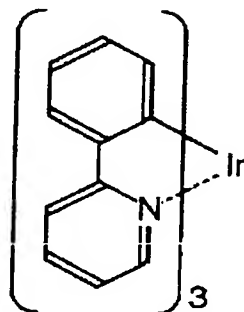
M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.)

(T. Tsutsui, M.-J. Yang, M. Yaniro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0245】

【化3】



【0246】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例15のいずれの構成とも自由に組み合わせて実施することが可能である。

【0247】【実施例17】本発明のELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のEL表示装置(ELディスプレイを筐体に組み込んだ表示装置)の表示部として本発明のELディスプレイを用いるとよい。

【0248】なお、EL表示装置には、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等、全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部として本発明のELディスプレイを用いることができる。

【0249】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレイ)、ナビゲーションシステム、画像再生装置(具体的にはDVD再生装置)であり、本体3231、記録媒体(DVD等)3232、操作スイッチ3233、表示部(a)3234、表示部(b)3235等を含む。表示部(a)3234は主として画像情報を表示し、表示部(b)3235は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部(a)3234、表示部(b)3235に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図32及び図33に示す。

【0250】図32(A)はELディスプレイであり、筐体3201、支持台3202、表示部3203等を含む。本発明は表示部3203に用いることができる。ELディスプレイは自発光型であるためバックライトが必要ない、液晶ディスプレイよりも薄い表示部とすることができる。

【0251】図32(B)はビデオカメラであり、本体3211、表示部3212、音声入力部3213、操作スイッチ3214、バッテリー3215、受像部3216等を含む。本発明のELディスプレイは表示部3212に用いることができる。

【0252】図32(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3221、信号ケーブル3222、頭部固定バンド3223、表示部3224、光学系3225、ELディスプレイ3226等を含む。本発明はELディスプレイ3226に用いることができる。

【0253】図32(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3231、記録媒体(DVD等)3232、操作スイッチ3233、表示部(a)3234、表示部(b)3235等を含む。表示部(a)3234は主として画像情報を表示し、表示部(b)3235は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部(a)3234、表示部(b)3235に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0254】図32(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3241、表示部3242、アーム部3243を含む。本発明のELディスプレイは表示部3242に用いることができる。

【0255】図32(F)はパーソナルコンピュータであり、本体3251、筐体3252、表示部3253、キーボード3254等を含む。本発明のELディスプレイは表示部3253に用いることができる。

【0256】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

図33は、図32(A)～(F)の電子機器の正面図を示す。

図33(A)は図32(A)の電子機器の正面図であり、筐体3201、支持台3202、表示部3203等を含む。図33(B)は図32(B)の電子機器の正面図であり、本体3211、表示部3212、音声入力部3213、操作スイッチ3214、バッテリー3215、受像部3216等を含む。図33(C)は図32(C)の電子機器の正面図であり、本体3221、信号ケーブル3222、頭部固定バンド3223、表示部3224、光学系3225、ELディスプレイ3226等を含む。図33(D)は図32(D)の電子機器の正面図であり、本体3231、記録媒体(DVD等)3232、操作スイッチ3233、表示部(a)3234、表示部(b)3235等を含む。図33(E)は図32(E)の電子機器の正面図であり、本体3241、表示部3242、アーム部3243を含む。図33(F)は図32(F)の電子機器の正面図であり、本体3251、筐体3252、表示部3253、キーボード3254等を含む。

【0257】以上のように、本発明のELディスプレイは、様々な電子機器の表示部として用いることができる。また、本発明のELディスプレイは、自発光型であるためバックライトが必要ない、液晶ディスプレイよりも薄い表示部とすることができる。

うに情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0259】図33(A)は携帯電話であり、本体3301、音声出力部3302、音声入力部3303、表示部3304、操作スイッチ3305、アンテナ3306を含む。本発明のELディスプレイは表示部3304に用いることができる。なお、表示部3304は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0260】図33(B)は音響再生装置、具体的にはカーオーディオであり、本体3311、表示部3312、操作スイッチ3313、3314を含む。本発明のELディスプレイは表示部3312に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3312は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0261】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～16に示したいずれの構成のELディスプレイを用いても良い。

【0262】

【発明の効果】本発明の効果について説明する。本発明の駆動方法では、ゲート信号線選択期間を複数のサブゲート信号線選択期間に分割することにより、1回のゲート信号線選択期間内に、複数段の画素に信号を書き込むことができる。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。したがって、従来の駆動方法のように、アドレス（書き込み）期間とサステイン（点灯）期間とを分離せずに、サステイン（点灯）期間を任意に設定することができるため、デューティ比を最大100[%]まで大きくすることができる。よって、デューティ比が小さいために生ずる様々な問題点を回避することができる。

【0263】また、アドレス（書き込み）期間中においても、EL素子を点灯させることができる。よって、アドレス（書き込み）期間中も、一定の明るさで表示される。

始めることができるため、画素の信号保持能力が小さい場合にも問題ない。結果として、スイッチング用TFTや保持容量のサイズを小さく設計することができる。

【0265】また、画素の構成は従来と同様で構わないため、TFTや容量、配線等の数が少なくて済む。その結果、画素部の開口率の向上が見込める。

【図面の簡単な説明】

【図1】 ゲート信号線複数同時選択のタイミングチャートを示す図。

【図2】 アドレス（書き込み）期間の重複が生ずるタイミングチャートを示す図。

【図3】 実施例1に示している本発明の駆動方法によるタイミングチャートを示す図。

【図4】 実施例2に示している本発明の駆動方法によるタイミングチャートを示す図。

【図5】 実施例3に示している本発明の駆動方法によるタイミングチャートを示す図。

【図6】 実施例4に示している本発明の駆動回路の回路図。

【図7】 実施例5に示しているEL表示装置の上面図および断面図。

【図8】 実施例6に示しているEL表示装置の上面図および断面図。

【図9】 実施例7に示しているEL表示装置の断面図。

【図10】 実施例7に示しているEL表示装置の画素マトリクス部分図および等価回路図。

【図11】 実施例8に示しているEL表示装置の断面図。

【図12】 実施例9に示しているEL表示装置の画素部の回路構成例の図。

【図13】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図14】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図15】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図16】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図17】 実施例12に示しているEL表示装置の回路構成例を示す図。

【図18】 実施例12に示しているEL表示装置の回路構成例を示す図。

【図19】 実施例12に示しているEL表示装置の回路構成例を示す図。

【図20】 EL表示装置の画素部の回路図。

【図21】 EL表示装置の画素部の回路図。

- 【図23】 EL素子の動作点を示す図。
 【図24】 アナログ階調とデジタル階調におけるEL素子の動作領域を示す図。
 【図25】 EL駆動用TFTのしきい値と移動度の、EL点灯開始電圧への影響を示す図。
 【図26】 フレーム期間の分割例を示す図。
 【図27】 本発明の実施形態を示す図。
 【図28】 ゲート信号線複数同時遷移を示す図。
 【図29】 時間階調表示方式におけるタイミングチャートの例を示す図。
 【図30】 実施例12の回路構成におけるタイミングチャートの例を示す図。
 【図31】 実施例12～14の回路構成におけるタイミングチャートの例を示す図。
 【図32】 本発明の電子装置を組み込んだEL表示装

置に用いた電子機器の例を示す図。

【図33】 本発明の電子装置を組み込んだEL表示装置に用いた電子機器の例を示す図。

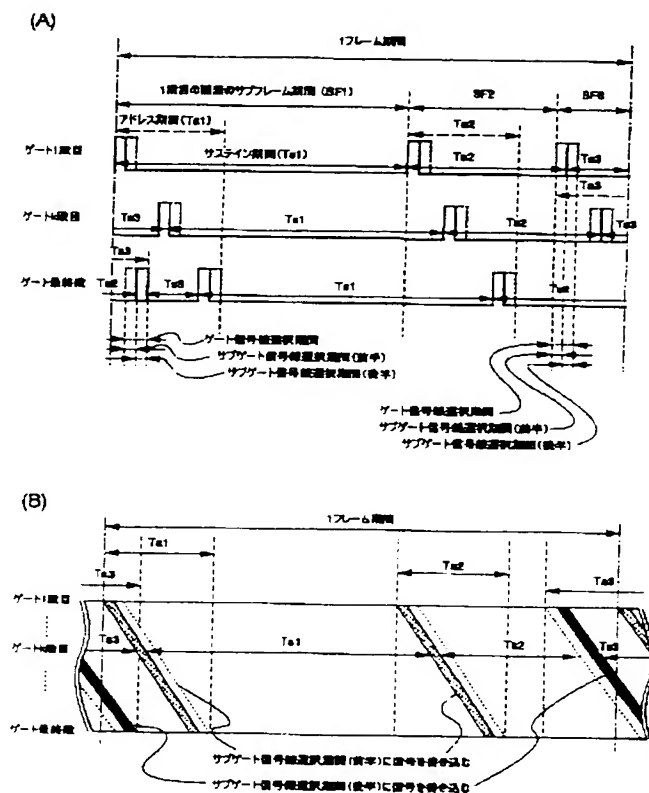
【図34】 本発明を実施するためのゲート信号線駆動回路の構成例を示す図。

【図35】 実施例15に示している本発明の駆動方法による正常なタイミングチャートと信号の書き込みの状態を示す図。

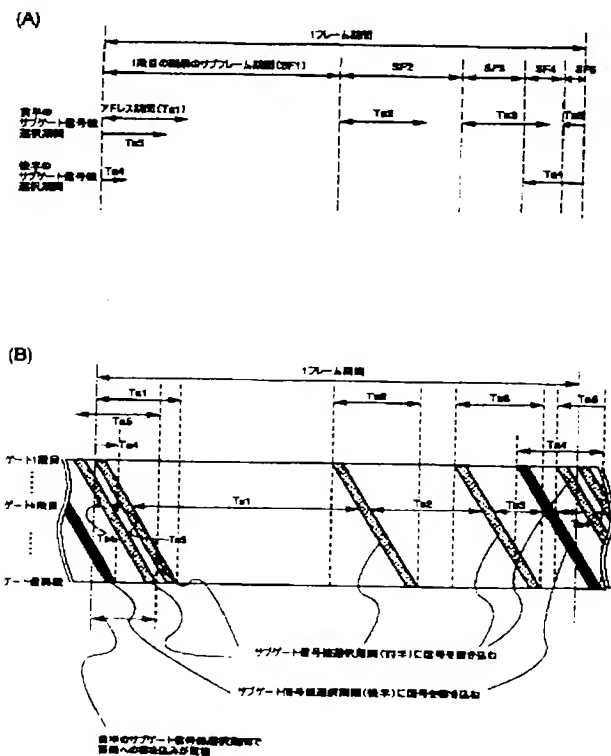
【図36】 実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

【図37】 実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

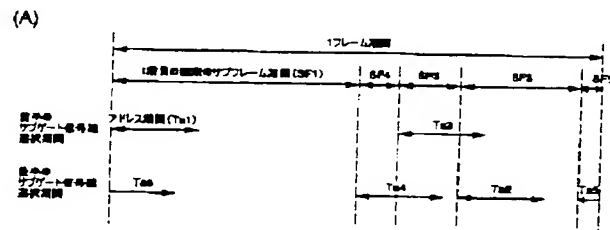
【図1】



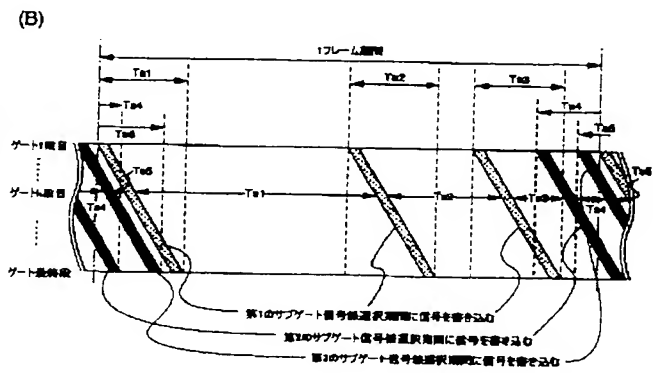
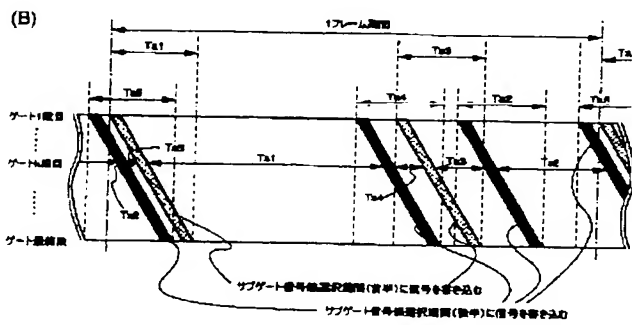
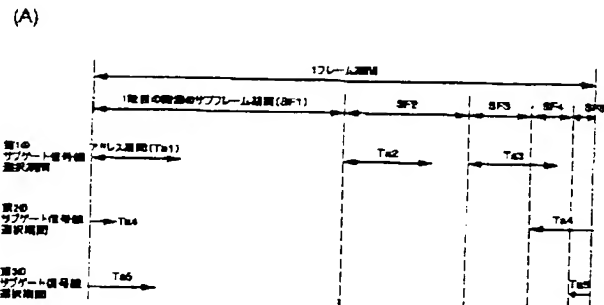
【図2】



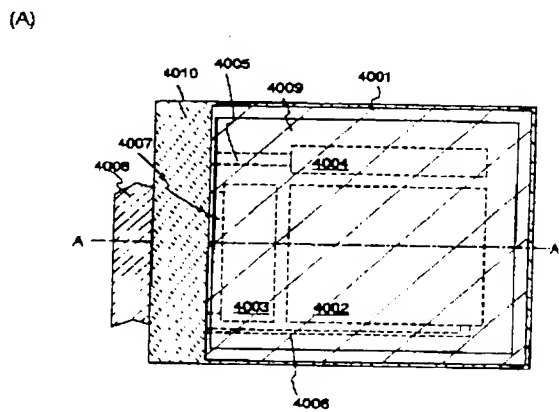
【図3】



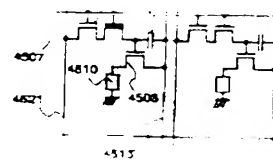
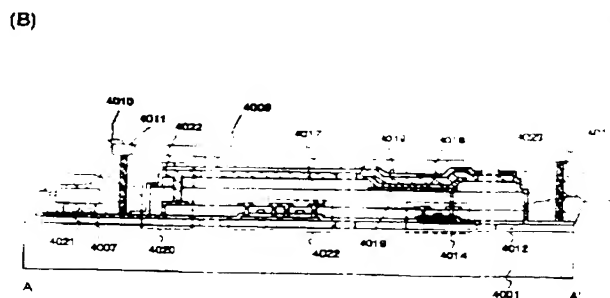
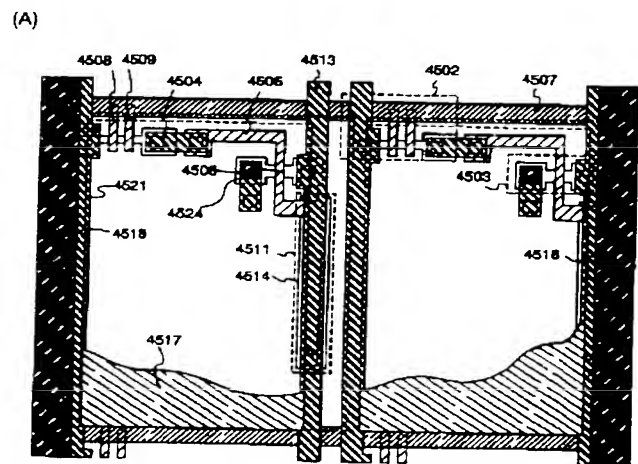
【図4】



【図7】

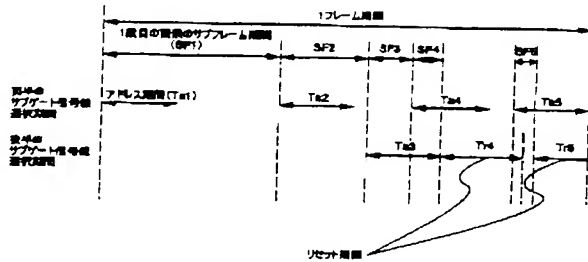


【図10】

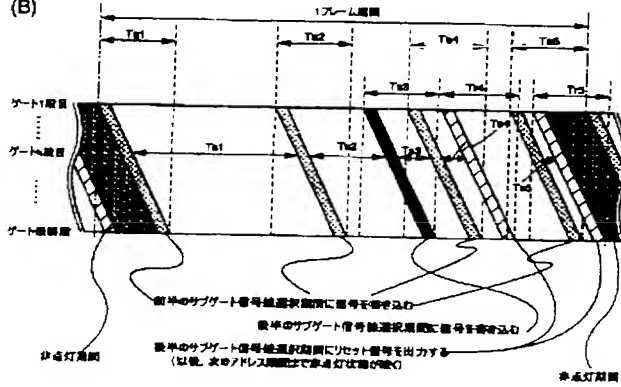


【図5】

(A)

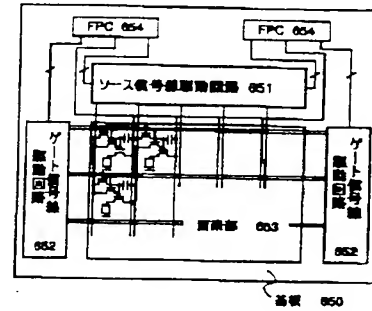


(B)

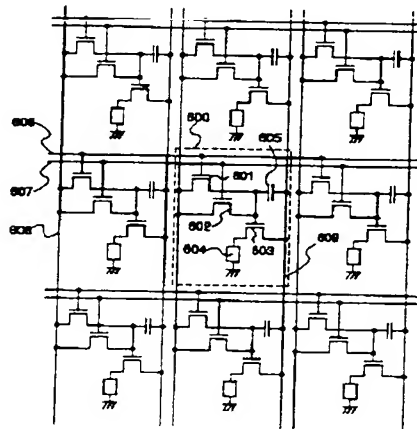


【図6】

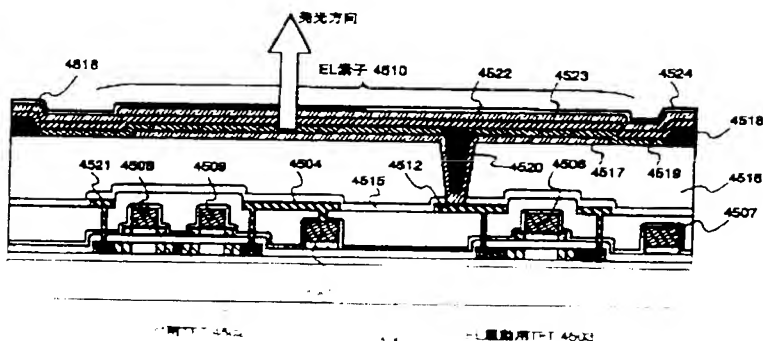
(A)



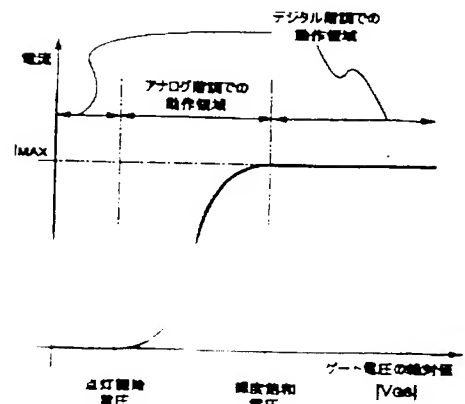
(B)



【図7】

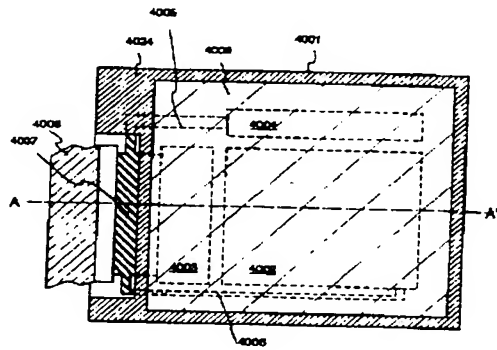


【図8】

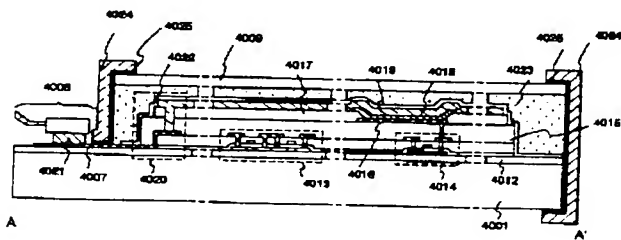


【図5】

(A)

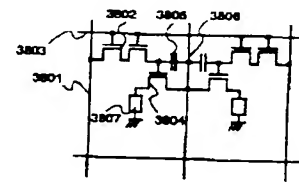


(B)

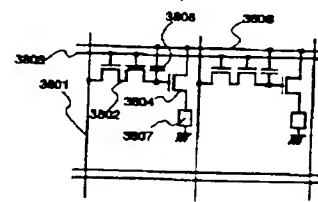


【図12】

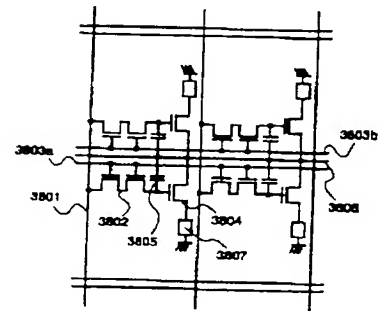
(A)



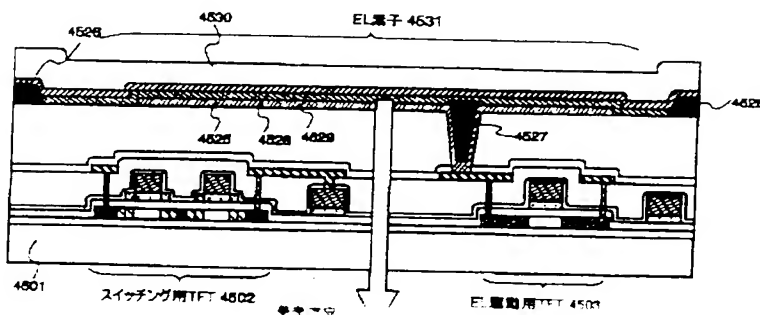
(B)



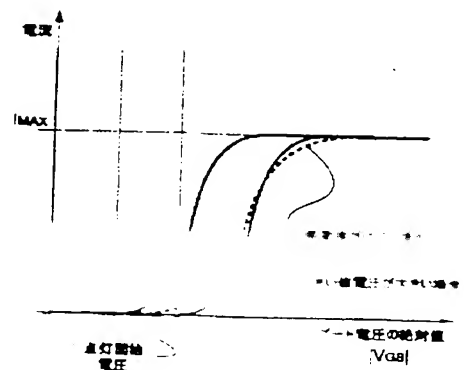
(C)



【図11】

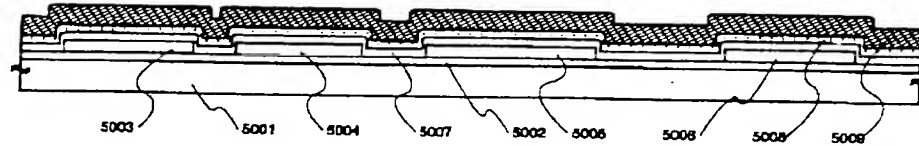


【図25】

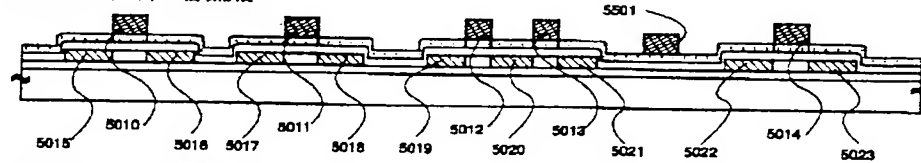


【図13】

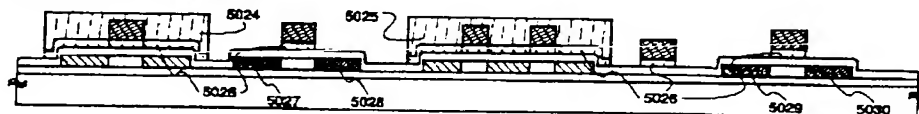
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2導電膜の形成



(B) 第2導電膜エッチング、N-領域形成



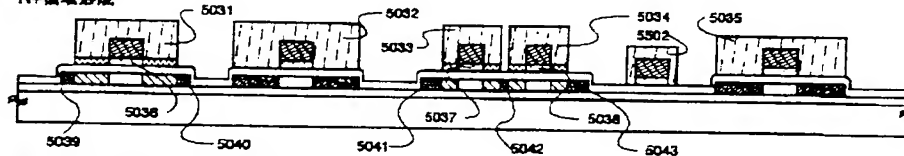
(C) 第1導電膜エッチング、P+領域形成



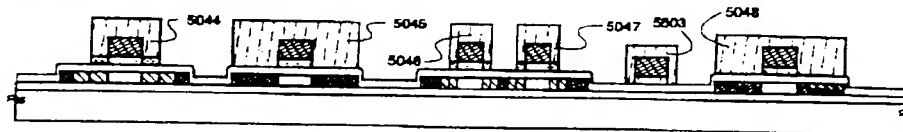
5001: 基板 5002: 下地膜 5003, 5004, 5006, 5008: 半導体層 5007: ゲート絶縁膜 5008: Si膜 5009: Ta膜
 5010, 5011, 5012, 5013, 5014: ゲート電極 5024, 5025: レジストマスク 5001: 配線

【図14】

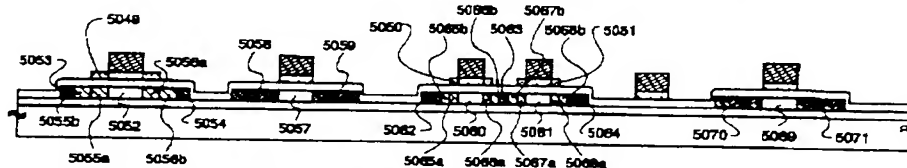
(A) N+領域形成



(B) 第1導電膜エッチング、LDD領域形成



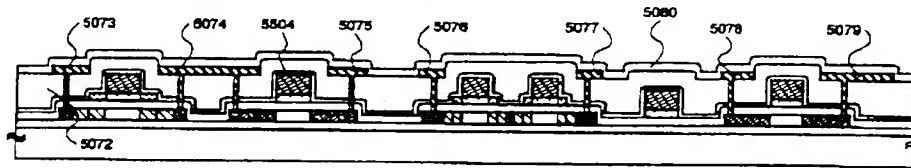
(C)



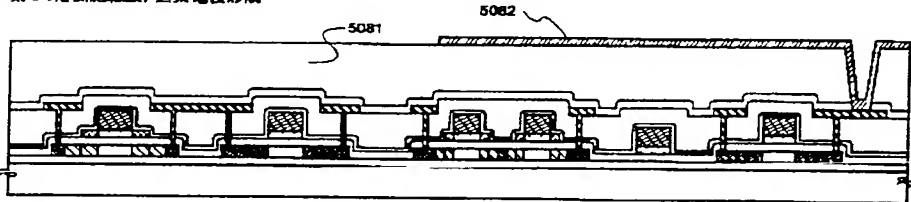
5051 5052 5053 5054 N+形成領域 5055 5056 第1の不均物領域 (P+領域) 5057 5058 第2の不均物領域 (P+領域) 5059 5060 第3の不均物領域 (P+領域) 5061 5062 第4の不均物領域 (P+領域) 5063 5064 第5の不均物領域 (P+領域) 5065a 5065b 第6の不均物領域 (P+領域) 5066a 5066b 第7の不均物領域 (P+領域) 5067a 5067b 第8の不均物領域 (P+領域) 5068a 5068b 第9の不均物領域 (P+領域) 5069 5070 5071 第10の不均物領域 (P+領域)

【図15】

(A) 第1の層間絶縁膜、配線、第1のバッシベーション膜形成

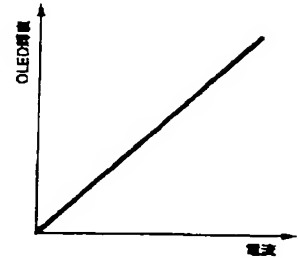


(B) 第2の層間絶縁膜、画素電極形成

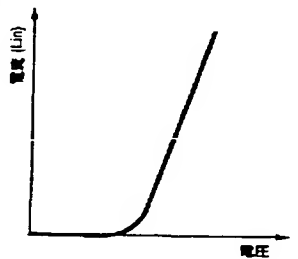


5504: 窒化シリコン膜 5072: 第1の層間絶縁膜 5073, 5075, 5076, 5078: ソース電極 5074, 5077, 5079: ドレイン電極
5080: 第1のバッシベーション膜 5081: 第2の層間絶縁膜 5082: 画素電極(陰極)

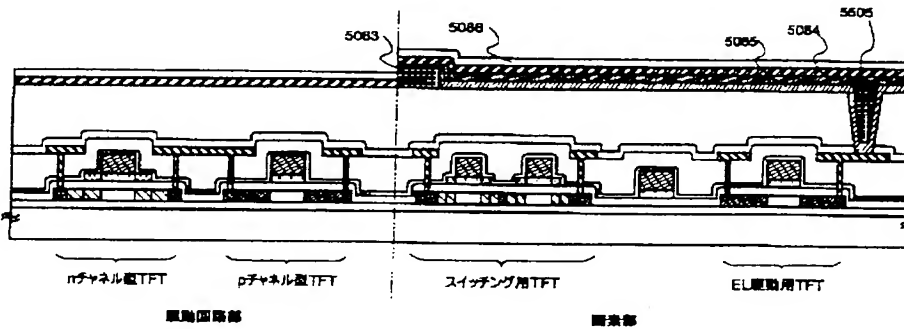
(A)



(B)

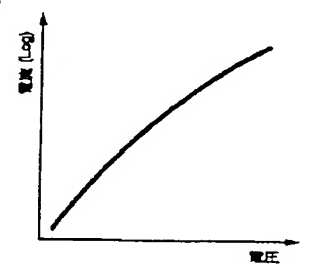


【図16】

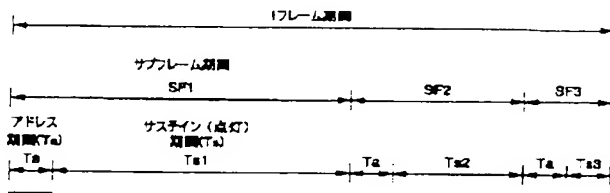


5083: パンク 5505: タップ 5084: 発光層 5085: 画素電極(陰極) 5086: 第2のバッシベーション膜

(C)

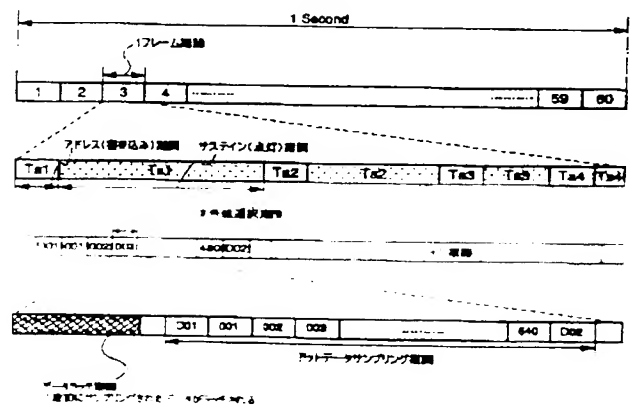


【図17】

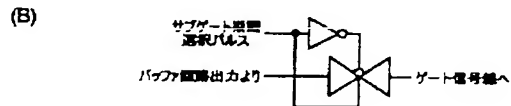
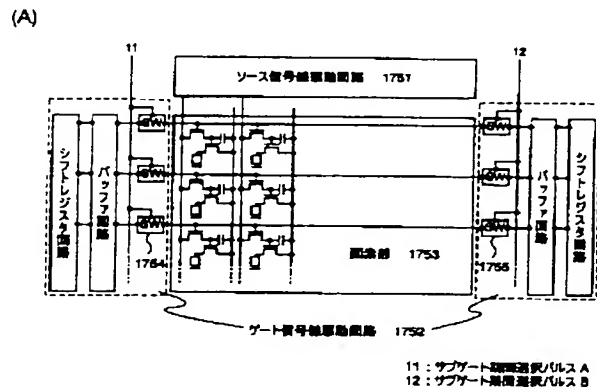


点灯電圧の電圧 (V)

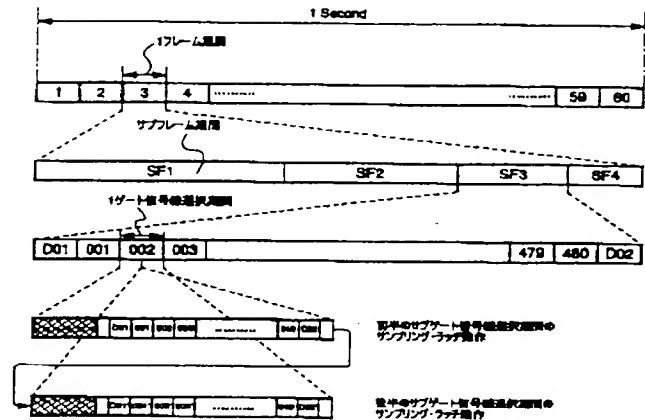
【図18】



【図17】

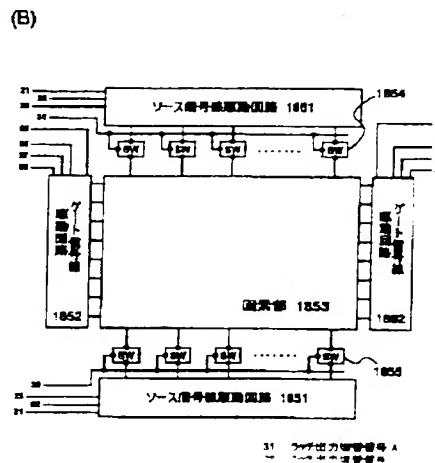
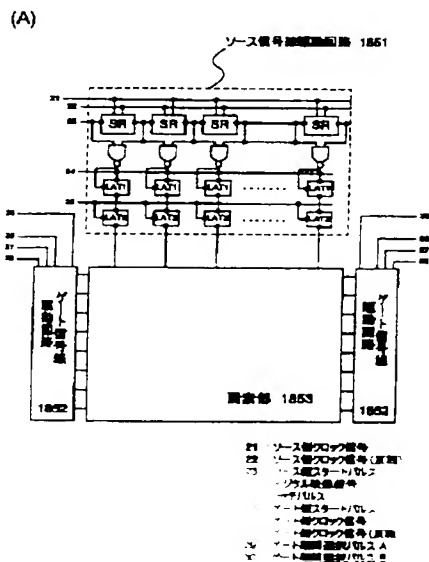


【図30】



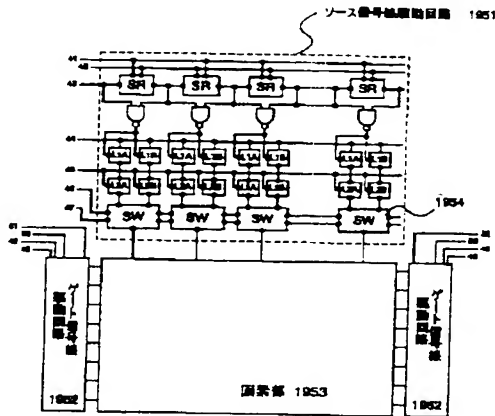
サンプリング・ラッチは、1周期のサブゲート信号生成回路で図素への書き込みがなされる。

【図18】

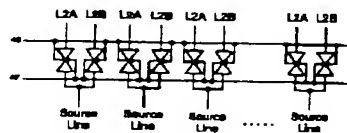


【図19】

(A)

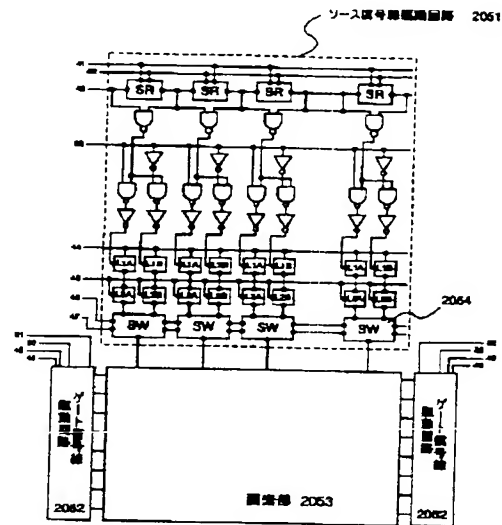


(B)



- 41: ソースクロック信号
- 42: ソースクロック信号 (反転)
- 43: ソーススタートパルス
- 44: デジタル映像信号
- 45: ラッチパルス
- 46: ラッチ出力映像信号 A
- 47: ラッチ出力映像信号 B
- 48: ゲートクロック信号
- 49: ゲートクロック信号 (反転)
- 50: ゲートスタートパルス
- 51: サブゲート遅延パルス A
- 52: サブゲート遅延パルス B

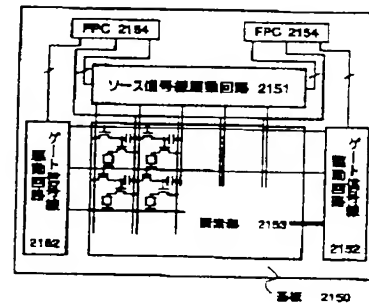
【図20】



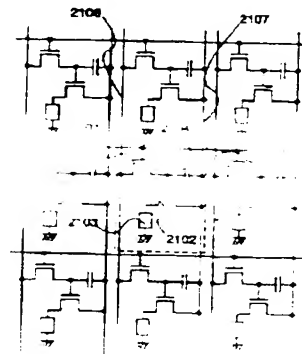
- 41: ソースクロック信号
- 42: ソースクロック信号 (反転)
- 43: ソーススタートパルス
- 44: デジタル映像信号
- 45: ラッチパルス
- 46: ラッチ出力映像信号 A
- 47: ラッチ出力映像信号 B
- 48: ゲートクロック信号
- 49: ゲートクロック信号 (反転)
- 50: ゲートスタートパルス
- 51: サブゲート遅延パルス A
- 52: サブゲート遅延パルス B
- 53: ソース遅延クロック信号

【図21】

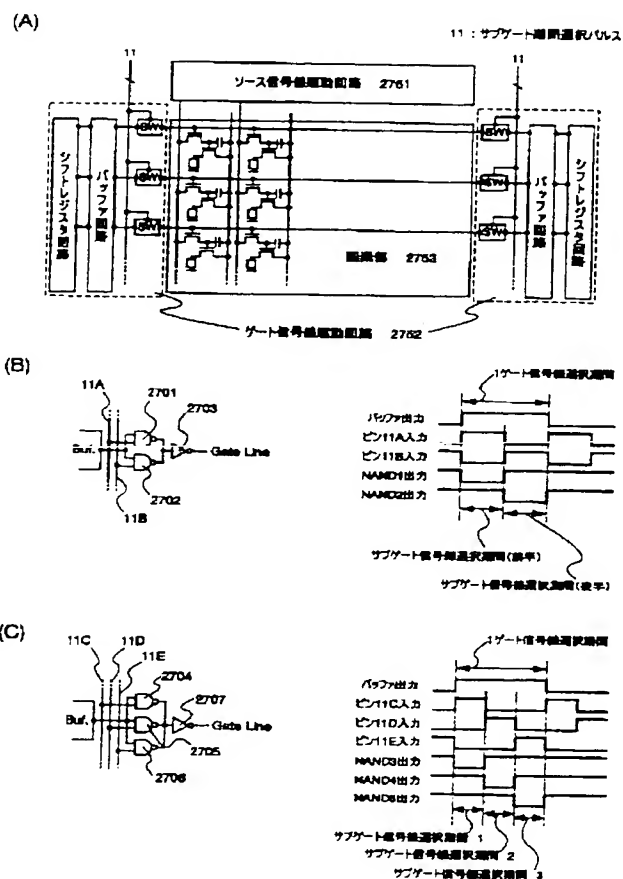
(A)



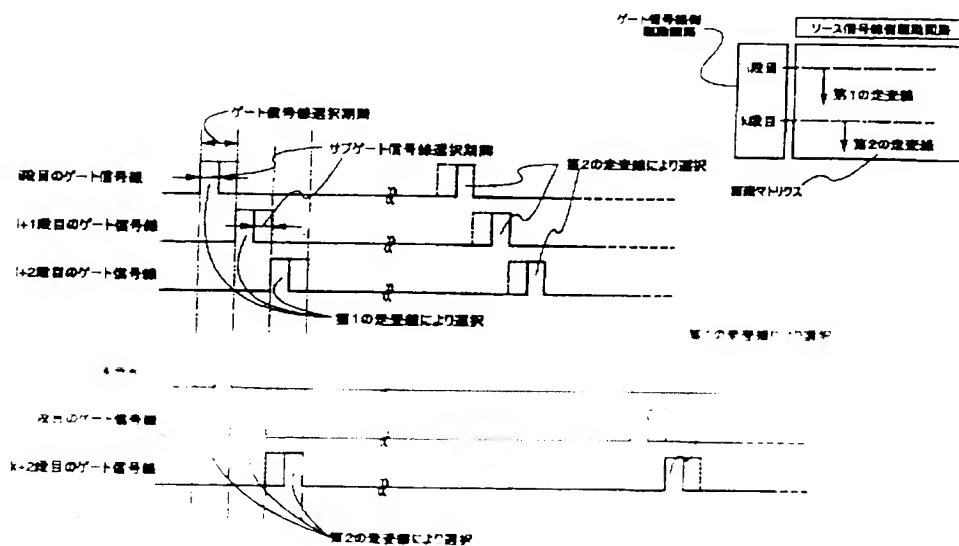
(B)



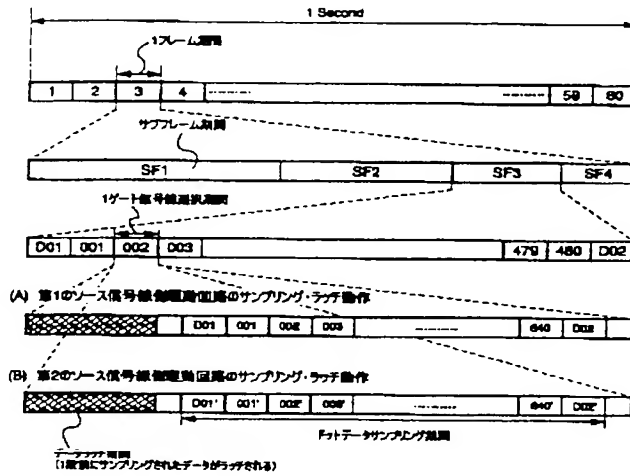
【图 27】



【图 28】



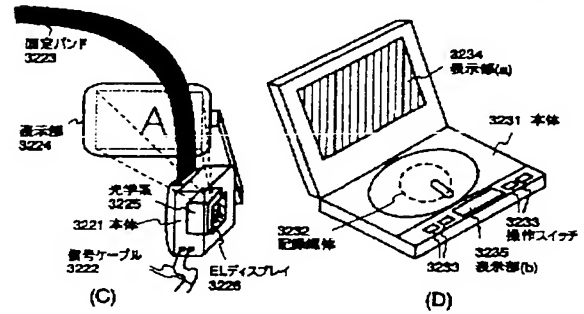
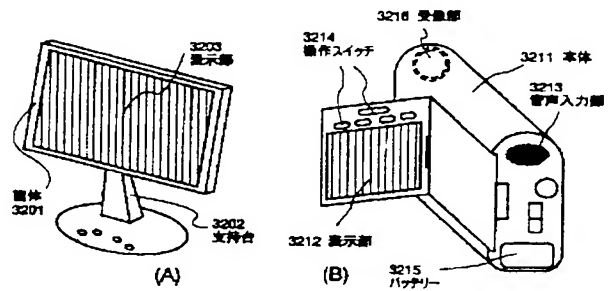
【図31】



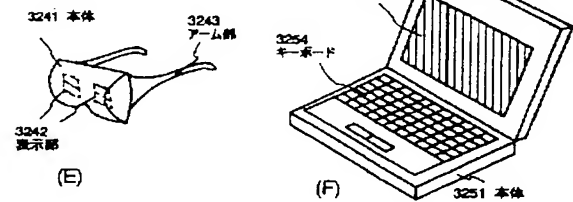
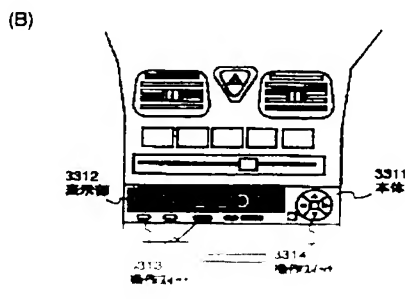
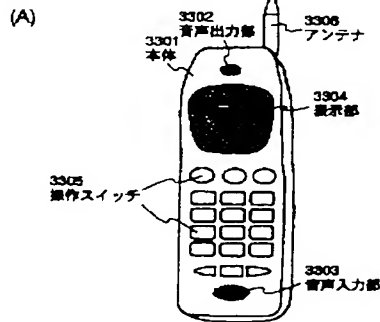
(A), (B)の動作は2つのソース信号検出回路によって実行して行われる。

図1, 第2のソース信号検出回路によって第2のラッチ回路に提供されたデータ番号は、次のゲート番号検出回路のそれぞれ第1, 第2と一致に選ばれる。

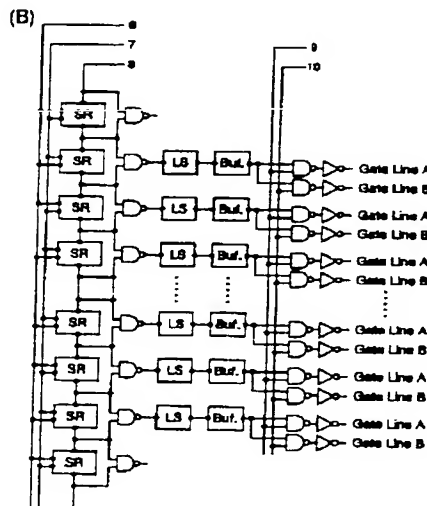
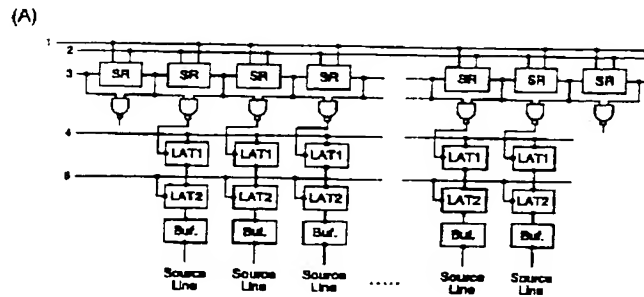
【図32】



【図33】

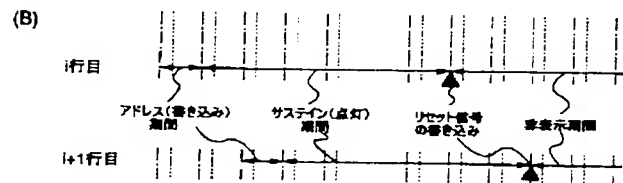
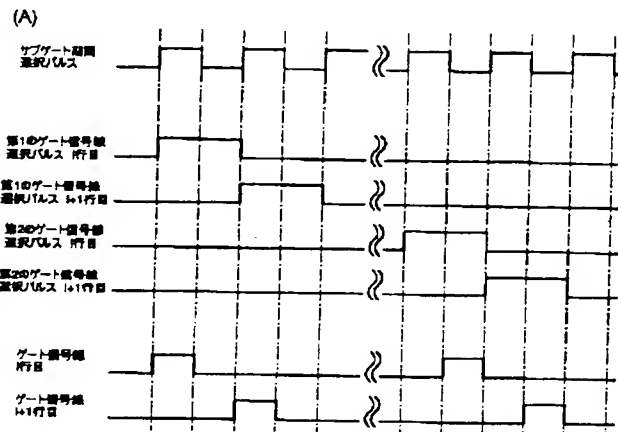


【図34】

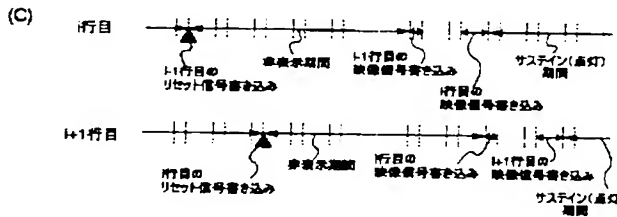
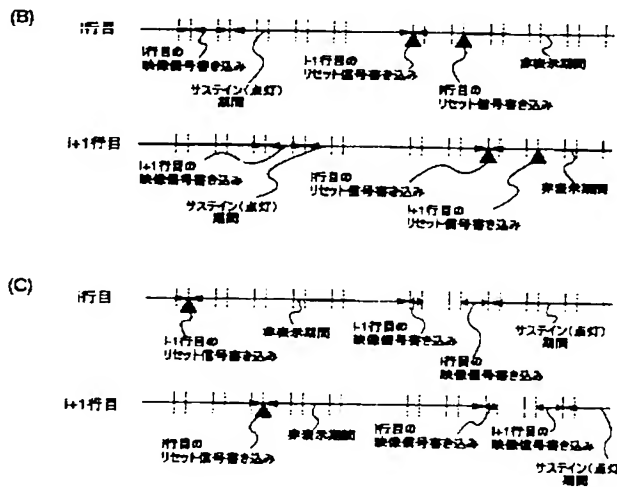
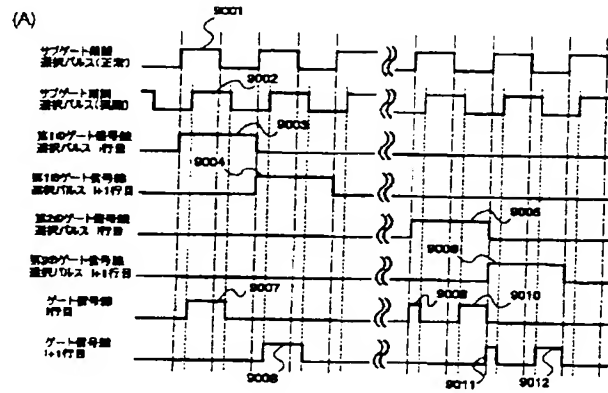


- 1 : ソースクロック信号
- 2 : ソースクロック信号 (反転)
- 3 : ソーススタートパルス
- 4 : デジタル線番号
- 5 : ラッチパルス
- 6 : ゲートクロック信号
- 7 : ゲートクロック信号 (反転)
- 8 : ゲートスタートパルス
- 9 : サブゲート選択パルス A
- 10 : サブゲート選択パルス B

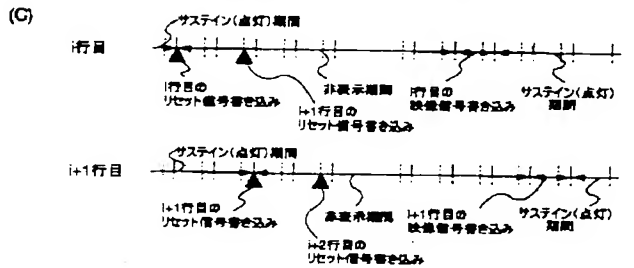
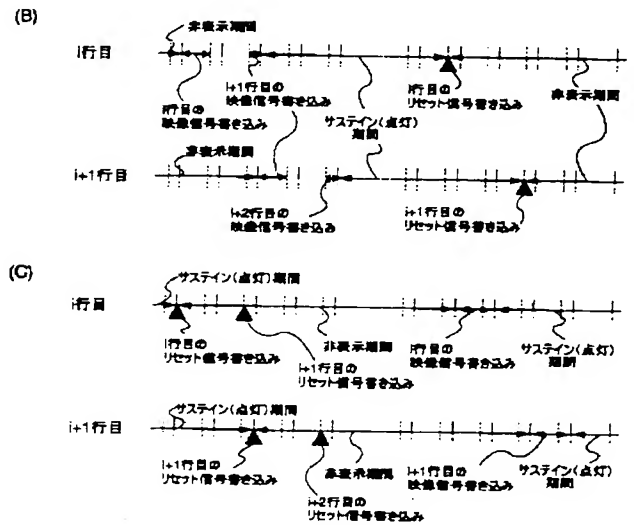
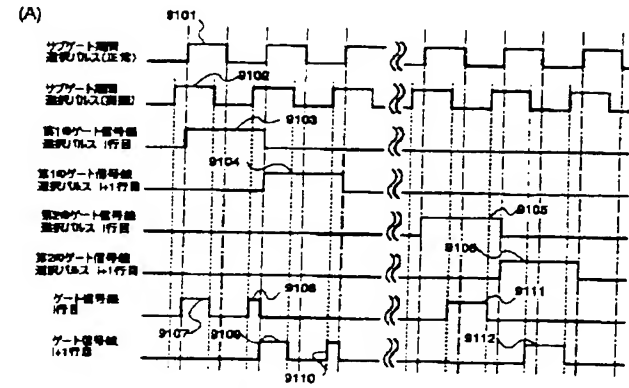
【図35】



【図36】



【図37】



フロントページの続き

(51) Int. Cl. 7

G09G 3/20

識別記号

680

F I

G09G 3/20

4-コード(参考)

680S

680P